

適用於消費性電子產品之低功率 USB 2.0 PHY IP

Low Power USB 2.0 PHY IP for High-Volume Consumer Applications

Synopsys, Inc.

概觀

在計算與消費性電子領域中，USB 協定已成為通用標準。設計團隊現今很少會嘗試設計自有的 USB 智慧財產 (intellectual property, IP)，使得此半導體 IP 尚不足以稱為矽商品。Synopsys 導入第二代 USB 2.0 PHY IP 產品線 (稱為 DesignWare® USB 2.0 nanoPHY)，更進一步針對行動裝置與大容量消費性應用，將低功率、面積、製造成本、及系統性能進行最佳化。此產品為設計者提供了 0.13 微米以下製程的高差異性 USB PHY 核心。

引言

隨著 USB 在行動消費性裝置中逐漸普及，設計團隊在申請 IP 時必須考量許多關鍵標準，例如成本、系統性能(可互通性)、可靠度、以及功率。勤勉的技術評估已成為「製造 vs. 購買」(make versus buy)決策的關鍵部份，除了最簡單的 IP 核心外。

全球消費性電子市場的競爭動力，在於降低成本以及加速設計週期。因此，整體的設計生產力和 IP 所有權的總成本也是必須考慮的因素。舉例來說，雖然在大部分的專案中，避免設計重製(re-spins)是一般性的目標，但可靠度的問題，以現場失敗率(field failure)來看，也會對所有權的總成本產生重大的影響。製程良率則是另一個會對總成本造成顯著影響的因素。這兩個因素都直接地受 USB PHY 的關鍵規格參數所影響。最後，對介面 IP 而言相當重要的要求就是可互通性(interoperability)。可互通性的問題不僅僅是滿足「商標」認證的要求。可互通性是設計規格與操作邊際的功能，能夠進一步影響裝置良率及製造生產的經濟效益。

由於可攜式裝置需要更長的操作時間，在功率規格上的要求逐漸增加，IP 的低功率設計讓整體 SoC 功率預算(power budget)能夠維持 — 對電池供電裝置如智慧型手機、MP3 隨身聽、數位相機、和隨身碟等等，是一個關鍵。在此商業與科技要求逐漸增加的架構下，Synopsys 導入了第二個 USB 2.0 PHY IP 產品線，針對要求低功率、低面積、與高利潤的可攜式與大容量應用最佳化。

Synopsys 的 USB 2.0 PHY 產品線

最新的 DesignWare 2.0 nanoPHY 是以 Synopsys 目前領導市場，通過 180-nm、130-nm、及 90-nm CMOS 數位邏輯製程之認證的 USB 2.0 PHY 為基礎。由主要半導體公司、ASSP 製造商、與晶圓廠所選擇，目前的 USB 2.0 PHY 產品線正大量生產，並具有高達 24 個以上的程序埠與配置組合。Synopsys 在以原始 PHY 滿足嚴謹品質與產量要求上所具有的廣泛經驗，運用至針對行動與大容量消費性應用

最佳化之互補性 PHY 產品線的開發。特別是 Synopsys DesignWare USB 2.0 nanoPHY 是建構於一個創新 USB 架構之上，此架構是為滿足低功率、成本與可互通性等關鍵需求所設計，以利用最新製程技術如 90-nm 與 65-nm 的優點。

USB 2.0 nanoPHY 針對面積、功率、及接腳數進行最佳化

目前 USB 2.0 PHY IP 設計的面積範圍通常在 1 mm² 至 1.2mm² 之間。依據特定的製程，最新的 DesignWare USB 2.0 nanoPHY 突破此面積障礙達 50%。舉例來說，重新設計過的 PLL/DLL 架構消除了複雜計時電路的需要，對整體面積的減少有了重大的貢獻。PHY 就是以此方式重頭設計，數位區塊隨較小的製程幾何縮放時，整體宏觀面積可以縮小 — 這對混合訊號設計不一定有效。

以整體性的方法(holistic approach)來達到低功率設計，大幅減少 USB 2.0 nanoPHY 核心的功率需求。PHY 的數位與類比區塊中之功率均已減少。重新設計過的 DLL/PLL 具有最佳化計時方法，移除了大量高頻率計時電路的需求。利用新型的傳送架構，結合最佳化接收與傳送路徑中計時方法，能夠進一步減少主動功率損耗。減少 PHY 功率需求達 50%，不但可以延長電池壽命，也表示可以使用成本較低的電源供應器。這對可攜式、電池供電的產品來說是非常重要的一環。

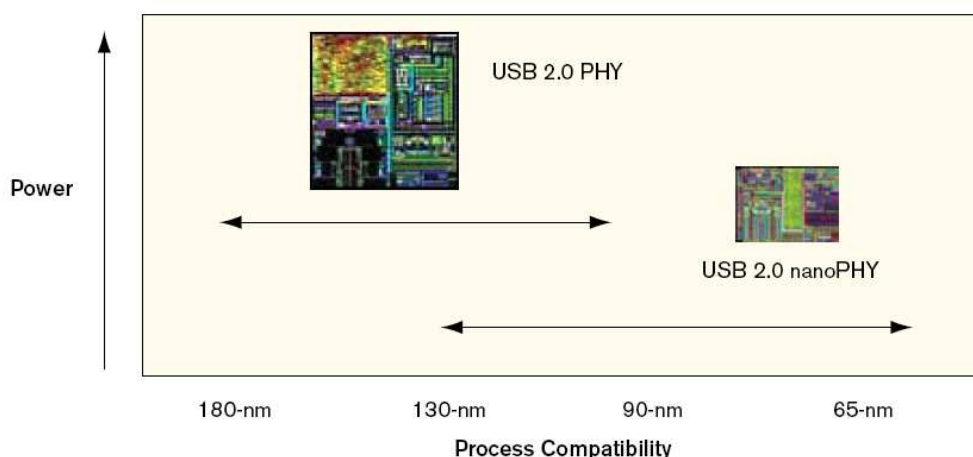


圖 1.Synopsys USB 2.0 PHY 及 nanoPHY 功率與面積比較

低功率架構還具有其它優點。減少供電電流需求，可以減少整體功率損耗並讓接腳計數最小化(減少一半)而不須犧牲任何功能。超低接腳計數設計是主要優勢，能夠使用較低成本的封裝。或者，封裝接腳能夠給其它訊號使用。需要較少的接腳也表示減少生產測試成本，同時也能夠相當程度地方便 SoC 整合。

良率最佳化

隨著製程線寬從 130-nm 轉變為最新的 90-nm (及以下)，良率的優先性大幅提升。介面協定如 USB，晶片良率與關鍵規格參數如 PLL 時基(PLL jitter)性能、能隙變化 (bandgap variation)，以及晶片面積獨立性息息相關。較低的晶片良率，就算只有百分之二或三，也會造成製造成本增加而蓋過較小的晶圓面積所帶來的成本效

益。考慮到這點，DesignWare USB 2.0 nanoPHY 加入幾個能夠藉由關鍵 USB 運作參數的最佳化來直接改善良率的功能。

首先，系統設計以直接從 IP 「即開即用」(out of the box)的高品質等級為目標。此概念可由圖示中的眼圖(eye diagram)範例(圖 2)看出，其中說明了與其它競爭對手的 PHY 相比，使用 DesignWare USB 2.0 PHY 所能獲得的較佳邊界 (margin)。

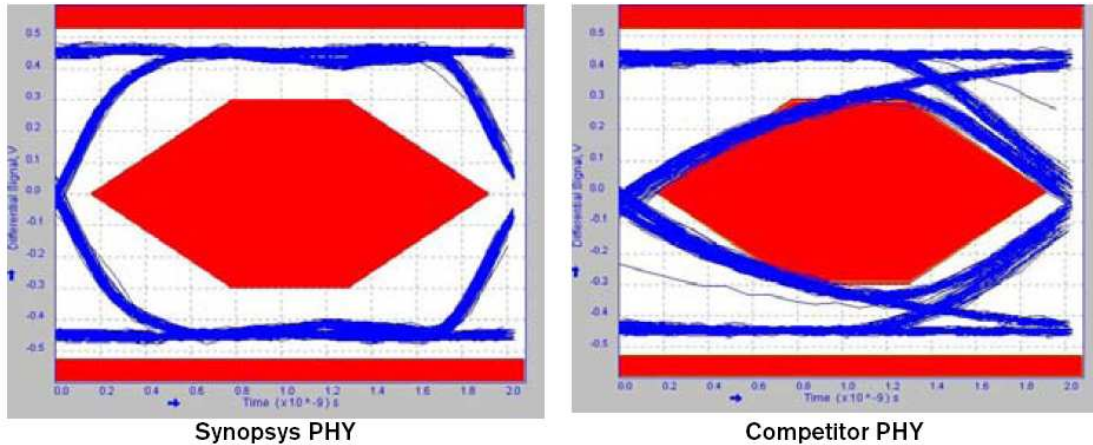


圖 2.Synopsys USB 2.0 PHY 眼圖邊界範例

特別具有挑戰性的關鍵 USB 規格參數有二：全速與低速操作模式下的上升/下降時間(rise-fall time)以及交叉點 (crossover point)。DesignWare USB 2.0 nanoPHY 中的新型傳輸電路，提供了更優越的操作邊界(operating margin)，能夠嚴格控制這些關鍵 USB 規格。新型架構減少了這些規格的變動並確保較低的製程偏移敏感度。

USB 2.0 規格要求 HS/FS/LS 傳輸器具有受控制的 45 歐姆來源阻抗。因此，PHY 設計的一項重要任務，就是建立精確的 45 歐姆晶片上來源阻抗。Synopsys 使用非常直接的方法來自動微調對整體設計穩健性產生貢獻的來源阻抗，並進一步將產量最佳化。這個微調的新方法所使用的類比電路較少，因此對製程變化較不敏感，進而提供更高的準確度。。

可互通性 (Interoperability)

改善良率所採取的許多措施同時也有益於 PHY 的可互通性。可互通性是兩個層級的需求—PHY 與 USB 數位控制器，以及其它 USB 產品之間。如果系統中的所有元件皆以傳統條件運作，則可直接達到可互通性。然而，晶圓廠製程在快與慢的極端之間變化，PCB 設計可能導入電子變動，而且甚至連各製造商的 USB 佈線性能也可能有所差異。最壞的情況是，在實驗室中成功運作的 PHY，以現場失敗的形式瞬間產生互通性問題。這類狀況會對產品成功造成毀滅性的影響，而且檢驗與修正會需要非常高的成本。

即使是在極端操作條件下，達到良好可互通性的關鍵，在於預設設計即具有良好性能邊界而不需要任何修改。這正是 Synopsys DesignWare USB 2.0 nanoPHY IP 核心所達到的成果。

然而，要處理真實情況，可以調整某些參數來進行眼形的系統層級微調。在大部分的情況下，預設設定即已足夠，而 USB PHY 只要「即開即用」。提供能讓眼形自訂化的關鍵參數，可以確保 USB PHY 能夠容納極端的系統條件與來自製成或封裝變化的特殊情況，而不須修改實體配置圖或重新設計 GDS。關鍵參數可以藉由在主體外製作金屬帶變動來微調，而不需要干擾內部設計。

Synopsys 在高速 USB 與 On-The-Go (OTG)標誌認證，以及在 180-nm、130-nm、與 90-nm 製程點的客戶成功案例中擁有無法超越的業績。尤這些經驗所獲得的知識已嵌入 USB 2.0 nanoPHY 的設計中。再加上優越的操作邊界，可以幫助晶片設計者將開發時的驗證過程最少化，並減少現場失敗的可能性。這些因素都會對較低的用有權成本產生貢獻。

| 需求 | nanoPHY 特色 |
|----------|--|
| 支援最新製程技術 | <ul style="list-style-type: none"> • 130-nm、90-nm、65-nm • 支援低功率與先進製程 • 多晶圓廠 |
| 小面積 | <ul style="list-style-type: none"> • 明顯較小 (~50%) • 可縮放式數位區塊 • 計時電路依據新型 PLL/DLL 架構最佳化 |
| 低功率 | <ul style="list-style-type: none"> • 明顯較低 (~50%) • HS 傳輸架構降低峰值 HS 電流損耗 • 最佳化類比區塊，減低功率 • 最佳化數位計時策略，減低數位功率損耗 |
| 低所有權成本 | <ul style="list-style-type: none"> • 減少接腳計數，簡化整合與封裝 • 較低電源設計 (因為功率損耗減少) • 為良率所設計的架構，提供優越的操作邊界 |
| 可互通性 | <ul style="list-style-type: none"> • 優越的操作邊界 • 系統層級微調 • USB 認證與達成可互通性的專業技術 |

表 1.Synopsys USB 2.0 nanoPHY 特色一覽

總結

雖然 USB 是一個普遍的標準，但顯然並非所有 USB PHY 設計都相同。Synopsys DesignWare USB 2.0 nanoPHY 核心針對最新的次微米、低功率製成而設計，以為行動及大容量消費性應用提供最低的面積、功率、與成本。DesignWare USB 2.0 nanoPHY 以 Synopsys 目前 USB 2.0 PHY 產品的成功為基礎，USB 2.0 PHY 經過認證並引導半導體與 ASSP 客戶處理數百萬的產品單位。USB 設計與認證的大量產業專業知識，與 Synopsys 的穩健開發方法合併，可以確保 USB 2.0 nanoPHY 是以

一貫的高品質推出。結合廣泛的低功率與面積最佳化，此方法所獲得的 USB 2.0 PHY 產品線能夠幫助設計團隊滿足在壽命時間成本、功率、可互通性、與開發時段的整體目標 — 複雜 SoC 開發的關鍵成功因素。

關於 SynopsysDesignWare USB IP 的完整產品線:

http://www.synopsys.com/products/designware/usb_solutions.html

700 East Middlefield Road, Mountain View, CA 94043 T 650 584 5000 www.synopsys.com

Synopsys、Synopsys 標誌、與 DesignWare 為 Synopsys,Inc 的註冊商標。本文中所提及的其它商標或註冊商標為其相對應
擁有者之智慧財產。

©2006 Synopsys, Inc. 02/06M.H.WO.06-14015