

Taiwan

www.tsia.org.tw

2021/July No.97

TSIA

Semiconductor

Industry Association



專題報導

- 後摩爾定律時代的新興量子計算技術 — 退火計算

國際瞭望

- 2021 WSC / JSTC 會議報告
- 2021 WSC 環安會議記要

編者的話

新冠疫情爆發以來已影響全球，對人類生活帶來不同的改變及影響，而國內近期疫情變化又快又急，如此嚴峻局勢之下，期望大家仍能小心謹慎面對疫情，持續做好個人防護。

近期許多活動不可避免的也受到新冠肺炎疫情影響，但本會仍盡力以各種方式維持各項服務及活動的正常運作，以降低疫情所帶來的衝擊。原訂六月份舉辦的 IC 設計研討會 - 量子電腦的應用機會，暫時無法如期舉行，因此本期「專題報導」單元，特別先邀請相關專家與會員分享「後摩爾定律時代的新興量子計算技術 - 退火計算」，以降低研討會暫停對會員可能造成的不便。

在國際活動方面，一年一度之世界半導體理事高峰會（WSC）及 JSTC 會議也受新冠肺炎疫情影響，持續以視訊方式舉行，由美國半導體產業協會（SIA）擔任主席。本會 CEO 代表團由劉德音理事長（台積電董事長）率團，相關會議重點及 WSC 年度政策建言，請參閱「國際瞭望」單元。

本期「會務報導」單元，特別刊載 2021 年半導體獎得獎者之獲獎摘要及得獎感言，本會恭禧所有優秀的得獎人，也感謝他們將來願意成為台灣半導體產業的一員，貢獻己力。其他內容還包括 2021 年第一季台灣半導體產業觀察、TSIA 委員會活動摘要、及新會員介紹等。

感謝會員公司的持續支持，TSIA 下半年之活動，也會依中央流行疫情指揮中心的相關規定，調整活動辦理方式，並在疫情應對措施及時程上，將所有與會人員的健康與安全納入考量。相關活動詳情請密切注意 TSIA 網站 www.tsia.org.tw 所發佈之活動訊息。

約稿

1. 本簡訊歡迎您的投稿，文章主題範疇包含國內外半導體相關產業技術、經營、市場趨勢等。內文（不包含圖表）以不超過四千字為原則，本會保有刊登之權利。
2. 來稿歡迎以中文打字電腦檔投稿，請註明您的真實姓名、通訊處、聯絡電話及服務單位或公司，稿件一經採用，稿費從優。
3. 本簡訊歡迎廠商刊登廣告，全彩每頁三萬元，半頁一萬八千元。會員廠商五折優待。意者請洽：江珮君 03-591-3181 或 email 至：candy@tsia.org.tw

01 編者的話

專題報導

02 後摩爾定律時代的新興量子計算技術 - 退火計算

國際瞭望

08 2021 WSC / JSTC 會議報告

12 2021 WSC 環安會議記要

會務報導

13 TSIA 半導體獎得獎者獲獎摘要及感言

32 2021 年第一季台灣半導體產業回顧與展望

34 TSIA 委員會活動摘要

36 新會員介紹

廣告索引

27 優肯廣告

38 2021 TSIA 產學基金募集

39 2021 IC 設計聯誼會贊助方案

40 TSIA 入會申請資格及辦法

41 WSTS 統計資料

42 2021 TSIA 半導體獎募款



創刊日期：中華民國86年7月
出版字號：新聞局版台省誌字1086號
發行人：劉德音
總編輯：伍道沅
執行編輯：陳淑芬 / 江珮君
編輯小組：吳素敏 / 石英堂 / 黃佳淑 / 陳昱錡
發行所：台灣半導體產業協會
地址：新竹縣竹東鎮中興路四段195號51館1246室
網址：www.tsia.org.tw
電話：(03) 591-3181
傳真：(03) 582-0056
E-mail: candy@tsia.org.tw
美術編輯：有囍廣告有限公司
地址：新竹市民權路102號3樓
電話：(03) 535-6560
傳真：(03) 535-6260

後摩爾定律時代的 新興量子計算技術——退火計算

資策會前瞻中心 / 于濂波
中原大學資工系 / 陳志宇
臺灣大學物理系 / 張慶瑞

退火計算 (annealing) 是一項專以解決大型、複雜、難解組合優化問題的新型態計算技術，主要包括量子退火和數位退火兩類技術，其中數位退火具有新計算模式、領域特化架構及橋接量子計算等特性，不僅是企業跨越數位與量子計算鴻溝的一項重要變革戰略，也是後摩爾定律時代一項極具商業價值的新型態高效計算 (HPC) 技術，有機會為台灣資訊和半導體產業帶來新契機。本文將介紹退火計算關鍵軟、硬體技術發展現況。

一、概述

在後摩爾定律時代 (post-Moore's law era)，過去依賴計算堆棧“底部”半導體微縮、封裝、材料等技術來提升計算性能的方式可能將難以再有大幅成長和收益，並將逐漸轉移至“頂部”軟體、演算法、新計算模型 (例如量子計算) 和領域特化架構 (domain-specific architecture) 等創新，從而改變歷史發展趨勢 (圖 1)。

另一方面，在量子計算實用化之前，基於“量子電腦特殊用途”——解決大型、複雜組合優化問題 (combinatorial optimization problem) 及“特殊用途量子電腦”——量子退火電腦 (quantum annealer) 或數位退火電腦 (digital annealer)，尤其是後者，兩項策略所形成的“量子啟發數位退火計算”已成為企業跨越數位與量子計算鴻溝的一項重要變革戰略 (圖 2)。此外，因其具有以下特性，故也成為後摩爾定律時代一項極具商業價值的新型態高效計算 (HPC) 技術。

- 新計算模式：運用量子力學原理的新數位計算模式
- 領域特化架構：針對優化問題易辛模型 (Ising model) 特化的非傳統馮·紐曼 (non-von Neumann architecture) 架構
- 橋接量子計算：採用量子啟發演算法，橋接 (bridging) 數位與量子計算

台灣資訊和半導體產業正可借力使力，布局數位退火矽智財 (soft IP core) 或晶片 (annealing on chip)、數位退火專用加速器 (application-specific accelerator)、數位退火雲端服務等量子啟發計算新興市場。

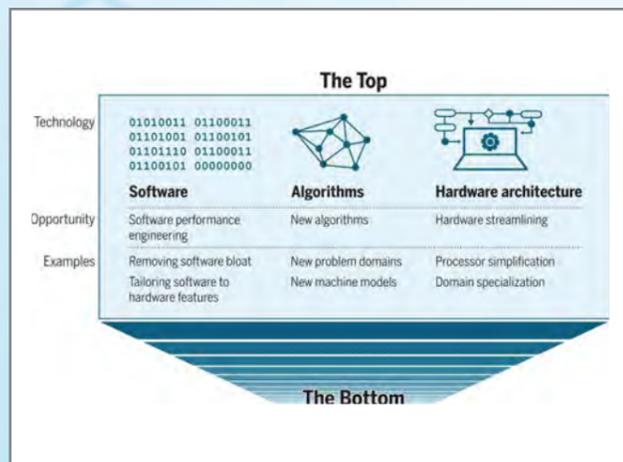


圖 1 後摩爾定律時代的計算性能提升趨勢 (C. Leiserson et al., Science 368, 2020)

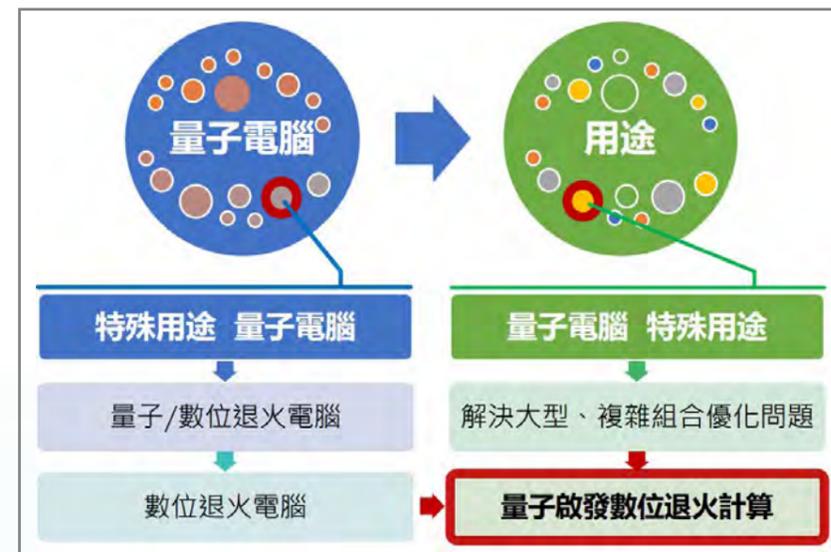


圖 2 銜接現在數位計算與未來量子計算鴻溝的策略

二、退火計算原理與應用

退火計算 (annealing) 一靈感源自傳統冶金熱退火 (thermal annealing)，將金屬材料加熱到高於再結晶溫度，再緩慢控制降溫，造成材料微結構改變而最終趨向能量最低、最穩定的狀態——將優化問題成本函數 (cost function) 轉換為物理系統能量函數 (Hamiltonian)，接著在能量函數所定義的超大狀態空間 (configuration space)，運用退火原理跳脫局部最低能量狀態，搜尋全域最低或近似最低能量狀態 (圖 3)，最終轉換為原優化問題的全域最優解或最優近似解。

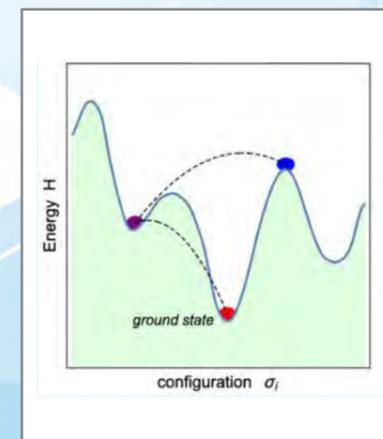


圖 3 退火計算搜尋最低能量狀態 (紅色位置) 示意圖

退火計算主要包括數位退火 (DA) 和量子退火 (QA) 兩類，簡述如下：

- 數位退火 (DA)：主要分為模擬退火 (simulated annealing, SA) 和模擬量子退火 (simulated quantum annealing, SQA) 2 類。SA 是一種尋找全域最優解或最優近似解的古典概率演算法，由 Kirkpatrick 等人於 1983 年提出，透過馬可夫鏈蒙地卡羅 (Markov Chain Monte Carlo) 方法模擬熱退火隨溫度變化的熱波動 (thermal fluctuation)，使對應優化問題的 Ising model 物理系統得以跳脫局部最低能量狀態。所謂 Ising model 是由一群相連“自旋 (spins)”節點組成的數學模型 (圖 4)，自旋處於向上 (+1) 或向下 (-1) 2 種狀態之一，相鄰自旋的耦合強度 (coupling) 可因待解問題性質而調整。SQA 則是透過路徑積分蒙地卡羅模擬 (path-integral Monte Carlo simulation) 或 Suzuki-Trotter 分解法的量子蒙地卡羅模擬 (quantum Monte Carlo simulation) 等方法模擬量子退火，搜尋全域最優解或最優近似解。

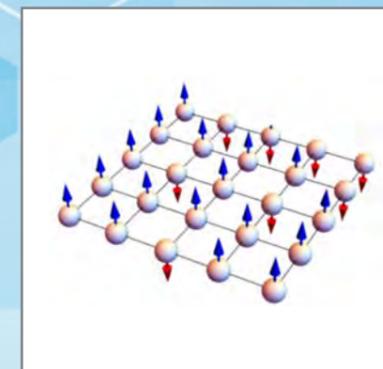


圖 4 二維 Ising Model 示意圖

- 量子退火 (QA)：受到 SA 引入熱波動的啟發，QA 引入量子波動 (quantum fluctuation)，透過量子穿隧 (quantum tunneling) 也可以尋找全域最低能量狀態。其概念由 B. Apolloni 等人於 1988 年提出，之後西森秀稔 (H. Nishimori) 和門疊正史 (T. Kadowaki) 在 1998 年論文中首次將其模型製定為目前的形式。同一時期，Farhi 等人也在 2001 年提出了一篇與 QA 密切相關的絕熱量子計算 (adiabatic quantum computing, AQC) 論文。

三、退火計算軟、硬體關鍵技術

退火計算軟、硬體關鍵技術主要包括 QUBO¹ 解法器 (QUBO solver) 和退火處理器 (annealer)，說明如下：

1. QUBO 解法器 (QUBO solver)

QUBO 解法器架構和代表性新創公司如圖 5 所示，主要軟體元件概述如下：

- QUBO / Ising model 制定 (formulation) 將成本函數編碼成對應的 Ising model 能量函數 (Hamiltonian) 或對等 QUBO model 函數²。QUBO model 具備與退火計算處理器架構匹配、許多優化問題可以映射 (mapping) 到它、易於被分解處理再合併求解等優點，因此很適合作為發展自動化工具的中間表示形式 (intermediate representation)。
- QUBO 分解 (decomposition)：受限於 (量子) 位元數有限及連接性 (connectivity) 不足的退火處理器，大型優化問題的 QUBO 必須分解成小到足以嵌入，並盡可能大到足以滿足高精度的解。
- QUBO 嵌入 (embedding)：將待解問題的 QUBO 邏輯圖映射到退火處理器架構實體圖的一個次圖³ (graph minor)。QUBO 一般都採用完整圖嵌入 (complete graph embedding) 方法，由於目前退火處理器的連接性不足，因此嵌入會產生硬體資源利用低的問題。例如具備 5,000+ qubits Pegasus 架構的 D-Wave Advantage 量子退火電腦最多只能嵌入 185 節點的 clique (完整圖的節點集合)。

2. 退火處理器 (annealer)

退火處理器主要包括量子退火處理器 (quantum annealer) 和數位退火處理器 (digital annealer) 兩類。前者商轉最成功的是加拿大 D-Wave 公司，已發展至第 5 代 5,000+ qubits Pegasus 架構 D-Wave Advantage 量子退火電腦。日本電氣公司 (NEC) 則與奧地利 ParityQC 合作，預計 2023 年推出大型 QA 處理器。後者採用傳統數位科技，目前則是百家爭鳴，尤其日本在數位技術發展一直處於全球領先地位，歐洲則以 Atos 最為積極，目前商轉最成功的是日本 Fujitsu，已發展至第 3 代 100,000 位元全連結 (fully-connected) 架構 DAU (digital annealing unit)。

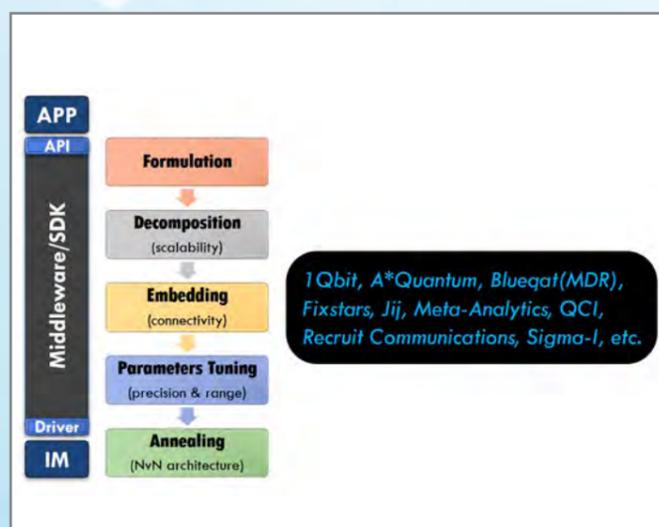


圖 5 QUBO Solver 架構 (左) 和主要新創公司 (右)

其他還有同樣基於 Ising model 設計的退火處理器，例如使用光學參數震盪器建構光學神經網路系統的光學退火處理器 (optical annealer)，代表產品為日本 NTT 和 Stanford University 的 CIM (Coherent Ising Machine)，以及利用數值分析方法模擬分枝現象 (bifurcation phenomena) 的加速器，代表產品為日本 Toshiba 的 SBM (Simulated Bifurcation Machine)。在中國方面，北京玻色量子科技公司宣稱近期即可推出百萬位元相干量子人工智慧協同處理器 (coherent quantum AI coprocessor)，也加入競爭行列。

現階段 QA 處理器與通用型量子處理器一樣，受限於量子位元數、錯誤率、稀疏連結性等問題，實務應用上仍面臨較多挑戰，而 DA 處理器採用傳統 multi-core CPU / GPU / FPGA / ASIC 等半導體處理器技術，具有位元數易擴充、零錯誤率、高連結性以及符合數據中心溫度或室溫要求等優點。尤其是 ASIC / FPGA 可針對不同應用需求客製化設計或重新配置硬體架構，成為高成本效益的應用加速器或協同處理器，除可運用在雲端計算環境，也可運用在受到操作環境或資源限制的邊緣計算 (edge computing) 環境中，更有助於探索更廣泛的應用。此外，目前在 DA 發展的演算法、軟體或應用也可輕易地移植到未來的 QA 上，因此短期 DA 更具產業實用價值。茲列舉部分具代表性的研發單位產品 (含 SBM) 現況如表格 1。

表格 1 數位退火處理器發展現況 (僅部分列舉)

Who	Algo.	ASIC	FPGA	GPU/CPU/VE
FUJITSU	SA (DA)	• 8.192/100K spins • Fully-coupled		
HITACHI Inspire the Next	SQA (MA)	• 144K(9x16K)spins • King's graph, 40-nm	• 25 FPGAs • King's graph	• 256,000 spins • King's graph
TOSHIBA	a/b/d SB (SBM)		• 4,096 spins/8-FPGA • Fully-coupled	• 100,000 spins • Fully-coupled
NEC	SA			• VE-based • (details unknown)
Atos	SA (QLM)			• GPU-based • (details unknown)
東京工業大学 Tokyo Institute of Technology	SA (SCA)	• 512 spins • Fully-coupled, 65-nm		
TOHOKU UNIVERSITY	SQA		• 8,192 spins, 32 Trotters • Fully-coupled (OpenCL)	• 32,768 spins, 32 Trotters • Fully-coupled

SA: simulated annealing, SQA: simulated quantum annealing, a/b/d SBM: simulated bifurcation machine, SCA: stochastic cellular automata, MA: momentum annealing, VE: vector engine, QLM: quantum learning machine

四、臺灣大學與日本富士通 (Fujitsu) 數位退火應用研究案

日本 Fujitsu 自 2020 年 9 月至 2021 年 2 月提供臺大團隊免費使用 8192-bit DAU 數位退火雲端服務，進行 COVID-19 相關優化議題的應用研究，茲說明如下：

1. 醫護人員排班問題

排班或排程問題 (scheduling problem) 研究如何用最少成本 (人數、趟次、時間、費用等) 讓有限資源發揮最大效益, 應用範圍不限醫護人員, 舉凡產線人員、士官兵、貨運司機等皆適用, 主要差別在於應用場景及限制條件不同。針對 8 位護理人員, 3 項限制條件, DAU 計算出來 2 週班表如圖 6。

day nurse	1	2	3	4	5	6	7	8	9	10	11	12	13	14
a														
b														
c														
d														
e														
f														
g														
h														

圖 6 醫護人員 2 週班表 (圖片來源: 臺大學生卓建宏)

2. 醫療資源分配問題

當重大疾病 (例如 COVID-19) 爆發時, 如何投放有限醫療資源 (例如個人防護裝備、疫苗) 達到阻止疾病傳播最大程度是非常重要的分配優化問題。以疫苗資源分配模擬醫院為例, DAU 計算的投放網絡如圖 7, 其中藍色點為醫院位置, 紅色點代表優先投放醫院, 醫院間連結為假想。

3. 食物遞送問題

食物遞送是古典路徑優化問題 (routing problem) 的衍生問題, 其限制條件包括外送員車子載貨量有限、遞送過程須先去餐廳再去顧客家, 以及外送員不需再返回出發點。圖 8 優化路徑 0-1-2-3-4 (8.0 單位長) 比另一含橘色箭頭路徑 0-1-3-2-4 (8.5 單位長) 短。

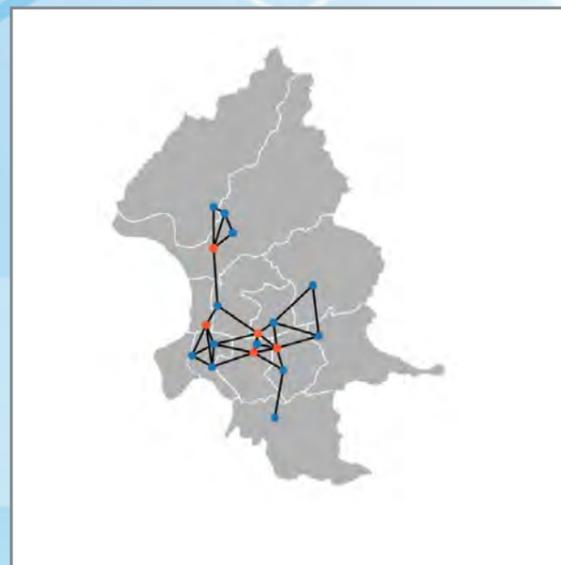


圖 7 模擬醫院投放網絡 (圖片來源: 臺大學生鍾皓宇)

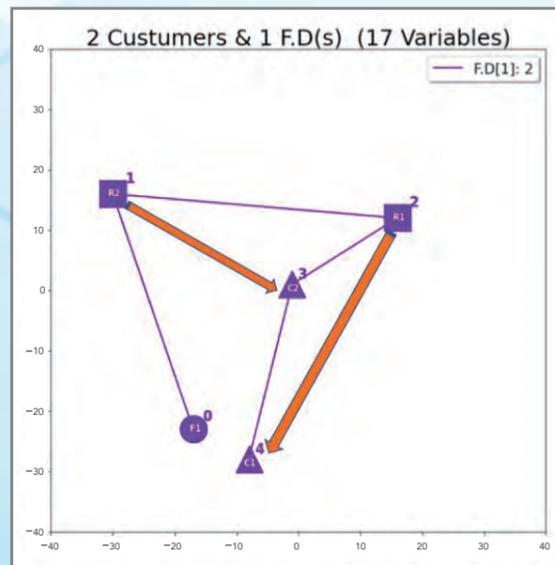


圖 8 有順序限制的路徑優化圖 (圖片來源: 臺大學生蘇政維)

五、臺灣在量子啟發計算的機會與挑戰

量子計算已成為國際新軍備競賽, 然國內仍處萌芽階段。近期在臺灣量子電腦暨資訊科技協會 (TAQCIT) 及各方人士積極參與推動下, 已逐漸吸引電子、半導體、石化、金融、生醫等企業從被動參與到主動洽詢, 並促成國際數位退火領導業者日本 Fujitsu 在國內探尋策略夥伴, 迎來契機。目前國內投入量子啟發計算研究的法人單位有資訊工業策進會 (資策會) 與工業技術研究院 (工研院), 大學則有臺灣大學, 中原大學、長庚大學等。臺灣大學 (電機系、資工系) 自 108 年底起結合資策會執行科技部為期 3 年的專案計畫, 開始探索 DA 軟、硬體技術。另外, 如前述, 臺灣大學 (物理系) 自 109 年下半年起已與日本 Fujitsu 合作探索優化應用, 資策會也自 110 年起加入, 並進一步結合跨領域 (物理系、電機系、資工系) 資源研發 DA 處理器。中原大學則透過與前述團隊合作, 研究 DA 軟體並規劃研製 FPGA DA 處理器。長庚大學則希望加入類比退火線路的研究。目前學研單位已逐漸形成一個量子啟發計算暨應用聯盟 (圖 9)。



圖 9 臺灣量子啟發計算暨應用聯盟

量子啟發數位退火技術可應用在雲端和邊緣計算環境, 解決金融、化學、人工智慧、先進製造、運輸物流等領域的大型、複雜、難解的組合優化問題, 加上具有新計算模式、領域特化架構及橋接量子計算等特性, 不僅是企業跨越數位與量子計算鴻溝的一項重要變革戰略, 也是後摩爾定律時代一項極具商業價值的新型態高效計算技術。台灣資訊和半導體產業正可借力使力, 布局以下新興市場:

- 數位退火矽智財或晶片: 應用於 IC 設計、IC 設計服務、矽智財、電子設計自動化 (EDA) 等半導體公司。
- 數位退火專用加速器: 專用型優化功能伺服器 (appliance) 或領域特化架構加速器 / 裝置供應商或系統商。
- 數位退火雲端服務: 提供各領域用戶導入量子最佳化應用方案。

台灣量子電腦暨資訊科技協會規劃後續與台灣半導體協會 (TSIA) 合作, 希望透過協會及會員廠商參與, 共同為台灣半導體與量子計算產業的未來努力, 培養半導體產業進入量子計算的人才, 並在量子啟發計算新興市場找到適當切入點與制高優勢。

註解:

¹QUBO: quadratic unconstrained binary optimization/ 二次無約束二進制優化

²QUBO 變數值為 0/1, Ising 變數值為 1/-1 的變數; Ising 變數 z_i 與 QUBO 變數 x_i 關係式為 $z_i = 2x_i - 1$ 。

³如果圖 G 可以透過刪除邊和頂點或收縮邊得到無向圖 (undirected graph) H, 則稱 H 為 G 的次圖 (graph minor)。

2021 WSC / JSTC 會議報告

TSIA / 陳淑芬資深協理

一年一度之世界半導體理事高峰會 (World Semiconductor Council, WSC) 受新冠肺炎疫情影響，今年仍然以視訊方式於台灣時間 6 月 2 日晚上舉行，由美國半導體產業協會 (SIA) 主辦，並由 Bob BRUGGEWORTH, Qorvo 的 president and CEO 擔任 WSC 會議主席。TSIA CEO 代表團由劉德音理事長 (台積電董事長) 帶領，成員包括力積電黃崇仁董事長暨執行長、鈺創科技盧超群董事長、聯發科技謝清江副董事長、聯電簡山傑總經理、及本會伍道沅執行長。

包括 AMD (超微)、Etron (鈺創)、Global Foundries (格羅方德)、IBM Research (IBM 研究院)、Infineon (英飛凌)、Intel (英特爾)、Kioxia (铠俠, 原東芝記憶體)、MediaTek (聯發科)、NXP (恩智浦)、ON Semiconductor (安森美)、PSMC (力積電)、Realtek (瑞昱)、Robert Bosch GmbH (羅伯特博世)、Samsung (三星)、SK Hynix (海力士)、SMIC (中芯)、STM (意法)、Sony (新力)、TI (德州儀器)、TSMC (台積電)、UMC (聯電) 等公司的執行長或其高層主管均把握難得之國際間產業互動交流機會，參與了這次一年一度的高峰會！

JSTC 會議則於 5 月 26 日及 6 月 3 日晚間召開，由美國半導體協會 CEO John Neuffer 主持。TSIA 出席代表包括本會 JSTC 主席王耀東 (台積電資深處長)、共同主席黃依瑋 (瑞昱半導體副總)、台積電林振銘處長、聯發科技劉彥顯處長、台積電副總 Peter Cleveland、台積電 Nick Montella、工研院呂慶慧專案經理、法律顧問 Christopher Corr、TSIA 秘書處陳淑芬資深協理。

■ 今年度 WSC 年度政策建言摘要如下：

1. Semiconductors are essential in the fight against Covid-19 :

WSC 籲請政府了解半導體供應鏈持續運作的重要性，將半導體產業定義為”必要產業”，在防疫期間能維持半導體公司持續運作及必要的員工移動。

2. Encryption :

- WSC 籲請 GAMS 會員國持續對話，評估各會員國 Encryption 相關規定及市場進入障礙，以確保各國法規符合 WSC 訂定的 Encryption 原則。
- 今年 11 月的 GAMS 會議期間將再次召開”Encryption Workshop”，持續分享並檢視會員國的相關規定。

3. Regional Support :

- WSC 認為政府的產業支持措施應透明化，並符合 WSC 擬訂的原則。
- WSC 籲請 GAMS 會員於今年 11 月的 GAMS 會期間，持續透過 GAMS Workshop 檢視 WSC 會員國的政府產業支持措施。

4. ESH :

政府在必須規範半導體製程中使用的關鍵化學品時，應給予產業足夠時間以評估現況及尋求取代物質，並於必要時提供豁免。

5. IP :

WSC 呼籲政府在國際協定或國內法規中應有強化營業秘密保護之規定，並支持 WSC 於 2015 年通過的保護營業秘密白皮書。

6. Customs & Tariffs :

- ITA : WSC 呼籲 GAMS 會員國考慮開始新一輪的 ITA 擴大談判，並持續努力增加 ITA 簽署國。
- 請 GAMS 確保 HS2022 版本能快速及順利的執行。
- Trusted Traders (AEO) : 政府應強化 AEO 系統並使 AEO 獲得實質的快速通關待遇，WSC 籲請 GAMS 海關參與 WSC 籌辦之業界與政府 (海關) 的 AEO Workshop。

7. Anti-Counterfeiting :

政府應與海關及執法機關合作，加強國內、國際雙邊及多邊間智財權的保護以打擊半導體產品的仿冒。

8. Responsible Minerals Sourcing (Conflict Minerals) :

政府在考慮規範礦石來源時，各國的法規應有一致性，並以自願為基礎採納現有的工具及業界已採納的因應方式，如 OECD due diligence guidance framework 及 Responsible Minerals Initiative。

■ JSTC 會議重點摘要如下：

1. Cooperative Approaches in Protecting the Global Environment (ESH Committee)

輪值主席美國 SIA 代表 ESH 委員會簡報相關進展，重點摘要如下：

- PFCs : 2020 資料收集結果 NER (Normalized Emissions Rate) 較 2010 年低 22.9 % (較 2019 低 4.2%)，但 absolute emissions 較 2010 年高 22.3%。所有 WSC 協會均同意繼續訂定 2030 年的 WSC PFC 自願減量目標，預計在今年 11 月公佈。
- Chemicals : 主席說明全氟化合物 (perfluorinated chemistries) 在半導體光刻製程中仍扮演關鍵角色，在國際間日益增加相關法規之際，WSC ESH 委員會持續努力對外說明 PFAS 對產業的重要，並呼籲 GAMS 准許半導體產業現階段能繼續使用。

2. Ad Hoc Global Supply Chain Meeting

在 CSIA 的強力推動下，以全球半導體供應鏈為主題的 JSTC 會議於台灣時間 5 月 11 日及 5 月 25 日晚間召開。針對各協會對於 CSIA 的全球供應鏈問卷內容提出的意見，包括定義不清，問題過於主觀及模糊，及反托拉斯問題等，CSIA 表示會進一步修改問卷內容，於 6 月 25 日前提出修正版本交各協會討論。CSIA 並要求隨提交給 GAMS 的年度政策建議書的 cover letter 中向 GAMS 提及 WSC 將針對全球半導體供應鏈對會員進行問卷調查，以了解會員受到的影響。

3. IP Committee

委員會主席 CSIA 於台灣時間 5 月 17 日晚上召開視訊會議，重點如下：

- Trade Secrets : 委員會檢視對會員的問卷調查的匯整結果，並同意將其列為今年度 WSC Joint Statement 的附件一，對外公佈。

- **2020 WIPO Statistical Report and Utility Models**：做為 WSC 與 WIPO 的聯絡窗口，本會說明 WIPO 收集資料的狀況，僅管 WIPO 可以向各國專利局收集相關資訊，但 WIPO 對於訴訟資訊的收集還是有其困難，本會鼓勵各協會思考在 WIPO 的資料收集上是否還有可以協助的項目。

4. Anti-Counterfeiting

輪值主席 KSIA 以 email 收集各協會意見。ESIA 提出的”Counterfeit Semiconductors and the Online Environment”在各協會的支持下，成為今年度 WSC 聯合聲明的附件，提醒大眾網路仿冒品的問題。WSC 今年仍繼續發新聞稿支持 6 月 8 日的 World Anti-Counterfeiting Day，也附在 WSC Joint Statement 對外公佈。

5. Regional Support Programs

主席 SIA 於台灣時間 5 月 19 日晚間召開視訊會議。WSC 及 GAMS 的第一階段及第二階段的調查及資訊交換持續進行中。5 月 19 日的會中檢視近期各協會進一步提交及更新的資料，多數協會認為部份第一階段及第二階段調查中的中國政府支持措施資訊仍然不完整。CSIA 同意繼續就這些政府支持措施持續提交資訊。CSIA 進一步提議開始第三階段的資訊分享，因為最近有愈來愈多的政府支持計劃正在醞釀中。其他協會（主要為 SIA 及 ESIA）認為必需在前兩個階段的資訊提交完整後，及諮詢 GAMS 的意見後方考慮是否開始第三階段。

由於去年 10 月的 GAMS 視訊會議決定在今年繼續舉行 GAMS Regional Support Workshop，主席 SIA 在會中也提出議程草案，在各協會支持下納入 WSC Joint Statement 附件提交 GAMS 討論。

至於去年 GAMS 要求 WSC 研究 equity funds, SIA 草擬“Best Practices for Equity Funds”提交各協會討論。各協會同意就 SIA 草案進一步提出意見。

6. Encryption

主席 ESIA 於台灣時間 5 月 20 日晚間召開視訊會議，討論 WSC 進行中的 Encryption 自我檢視表 (WSC Self-Assessment Survey on Encryption)。多數協會認為在 WSC 這份自我檢視表中，還有部份針對中國法規的提問回覆仍不完整，CSIA 同意在 8 月 15 日前進一步回覆尚未回答完整的問題，再由各協會提交 GAMS 更新內容。ESIA 提出的今年 11 月的 GAMS Encryption Workshop Agenda 在各協會同意下也附在今年的 WSC Joint Statement 提交 GAMS 討論。

7. Customs & Tariffs

主席 ESIA 於台灣時間 5 月 18 日晚間召開視訊會議。討論重點如下：

- **AEO Global Workshop**
原訂於今年秋天舉行的 GAMS AEO Workshop 因疫情之故再度延後至明 (2022) 年春天，配合 WCO 會議時間召開。會議相關準備時程也隨之順延。
- **Facilitating the Use of Refill-Return Containers in Cross-border Trade**：
ESIA 表示，歐盟海關正在研議如何處理 return refill containers 的快速通關，視未來幾個月的发展，或許會有相關法規的修訂。

- **Semiconductor Based Transducers**：HS 2022

HS Explanatory Notes 已在 2021 年 4 月的 WCO HS Committee 投票通過，因此 HS8541 關於 Semiconductor-based transducers 的修訂案將於 2022 年 1 月 1 日生效。

- **HS Classification for Semiconductors**

WSC 建議各國海關對於相同半導體產品及技術的稅號分類應一致。目前 WSC 內部討論過的提案包括：

1. 日本提案的修改 HS8541 for Semiconductor-based isolators / reactors：此案目前停滯，但未來仍可能重啟討論。
2. ESIA 提案的 Embedded Chips / dies in PCB 的稅則分類問題：目前 ESIA 仍持續和歐盟海關討論中。

- **Information Technology Agreement (ITA)**

美國 SIA 自從新政府上任後，在 WSC 重新開始積極推動 ITA 的相關討論。WSC 樂見 WTO 將在 9 月 16 日舉辦 ITA Workshop，WSC 計劃推派 WSC Customs & Tariffs 工作小組主席 Peter Proebster (ESIA) 代表 WSC 參加此 Workshop 並爭取機會以 “How an ITA-3 can facilitate a further expansion of trade in semiconductors and related downstream products, and as such help address global challenges around health, economic recovery, sustainability, climate and secure connectivity.” 為題代表 WSC 簡報。

CSIA 表示，只有在 GAMS 同意及背書下，CSIA 才可能全力支持擴大 ITA，CSIA 也才能開始諮詢會員的行動。部份協會也表示，WSC 討論中的半導體產品建議清單仍然必需重新檢查及匯整，工作小組主席 ESIA 將為此召開視訊會議討論。WSC 也持續呼籲 GAMS 鼓勵更多國家簽署 ITA。

8. Upcoming Schedule

2021 GAMS meeting 由 KSIA 主辦，目前計劃在釜山舉行，但視疫情狀況及與韓國 GAMS 討論的結果，也可能仍然以視訊方式召開。明 (2022) 年 2 月的 JSTC 會議由 ESIA 主辦，計劃於西班牙巴塞隆納舉行。明年 5 月的 WSC 會議由本會主辦，計劃在台北舉行。

關於世界半導體理事會 (WSC)：

世界半導體理事會 (WSC) 為一全球主要半導體製造地區之半導體協會共同組成的國際組織，主要成員包括來自台灣 (TSIA)、美國 (SIA)、歐盟 (ESIA)、日本 (JEITA-JSIA)、韓國 (KSIA)、及中國 (CSIA) 的半導體產業協會。各協會所組成的業界代表團定期舉辦會議，共同討論攸關全球半導體產業發展之議題，包括自由貿易、政府之產業支持措施、智財權保護、反仿冒、加密產品法規 (Encryption)、環境安全衛生 (ESH)、全球半導體市場資訊及趨勢、半導體產品關稅及關務、及貿易便捷化等，每年並對來自會員所在地政府組成的“政府間半導體會議 (GAMS)”提交政策建議，並適時向 WTO 等國際組織提交產業立場。台灣國際貿易局每年率團參與 GAMS 會議，與來自美國、日本、歐盟、韓國、及中國之政府代表共同討論 WSC 所提出的各項政策建議，並分享各國相關法規執行程序等資訊，因此 WSC 及 GAMS 為台灣半導體產業與國際貿易局能推動全球發展半導體之重要活動。

2021 WSC 環安會議記要

工業技術研究院 / 呂慶慧正研究員

2021 年世界半導體協會 WSC 環安委員會在 6 月 2 日舉行視訊會議，討論議題包括 PFC，化學品，資源節約以及安全與健康之議題。會議雖無法依過去的程序充份討論，委員會依舊完成了主要討論並向 WSC 會議提交一份 ESH 工作摘要。

1. PFC：

委員會主席說明全氟化氣體化合物 (PFC) 使用在半導體製造中的重要性，並報告 2020 年自願協議的最新情況。2020 年數據收集的結果是：2020 年標準化排放率 (NER) 比 2010 年低 22.9% (比 2019 年低 4.2%)，而絕對排放量比 2010 年高 22.3%。主席並說明標準排放率和絕對排放量的定義與差異比較。所有協會都同意制定新的 2030 年 WSC PFC 自願協議計劃，並正在繼續努力達成最後協議、重新計算 2020 年數據，並計劃在 2021 年 11 月公告新目標。

2. 安全與健康：

委員會主席說明安全與健康工作的重要性，本工作項目是藉由揭露產業在安全與健康方面的良好記錄來建立產業部門的信譽，並藉由資訊分享來保護產業 / 公司員工、資產和信譽。關於 S&H 經驗分享，已經舉辦了三場專家分享網絡研討會。5 個協會也收集並揭露了 2016 - 2020 年的綜合 S&H 指標。

3. 化學品：

委員會主席說明全氟化學品對蝕刻製程的重要性，全球對這些化學品的管制和公眾審查持續增加，委員會繼續在本議題積極展開調查，以了解產業對使用這些材料的需求。主席提議在聯合聲明文中向 GAMS 提出建議，請各國政府協助確保半導體製造能繼續使用 PFAS 化學品。

4. 資源節約：

委員會主席說明資源保護工作的重要性，也說明產業對能源、水、廢棄物等資源皆有完善的追蹤管理辦法。主席也說明能源、水、廢棄物和垃圾掩埋場的綜合調查數據。主席同時說明過去十年標準化數據趨勢背後的各種原因。

未來工作重點：

委員會將繼續努力就新的 2030 PFC 目標達成最終協議，計畫在 2021 年 11 月的 JSTC/GAMS 會議公告最後的協議目標。



獎項介紹

「TSIA 半導體獎」是台灣半導體產業協會於 2014 年起，為了獎勵國內積極從事半導體之學術研究、發明或致力投入產業合作並有具體貢獻者而設立。

此獎項之得獎人由本會遴選委員會評選，遴選委員由在半導體領域已有卓越成就之學者、專家及產業領導者擔任。

今年具博士學位之新進研究人員半導體獎由中央大學電機工程學系謝易勳助理教授及陽明交通大學國際半導體產業學院吳添立助理教授獲獎；博士研究生半導體獎得獎者，分別由台大、陽明交通、成大、清大、中山等 5 校 11 位博士班同學獲獎，本會期許得獎人以成為台灣半導體產業優秀貢獻者為目標，再接再厲，為台灣半導體產業之永續發展而戮力前進。

贊助單位：理監事公司

力成科技股份有限公司	力晶科技股份有限公司	力晶積成電子製造股份有限公司
工業技術研究院	日月光半導體製造股份有限公司	世界先進積體電路股份有限公司
立錡科技股份有限公司	台灣積體電路製造股份有限公司	欣銓科技股份有限公司
矽品精密工業股份有限公司	南亞科技股份有限公司	凌陽科技股份有限公司
創意電子股份有限公司	華邦電子股份有限公司	鈺創科技股份有限公司
漢民科技股份有限公司	聯發科技股份有限公司	聯華電子股份有限公司

◎ 以上依公司筆劃順序排列



謝易叡 E Ray Hsieh

國立中央大學 電機工程學系

獲獎摘要

謝易叡助理教授於 2016 年取得國立交通大學電子研究所固態組工程博士學位。他的研究領域專注於半導體元件與電路的設計與整合及相關應用，特別是嵌入式記憶體、前瞻非揮發式記憶體 (RRAM 和 FeRAM) 於 IOT 之應用 (類神經網路運算和資安防護議題)。他在半導體技術頂級旗艦 IEDM 與 VLSI，十年內，以第一作者口頭發表了 20 餘篇電晶體和記憶體相關的學術文章，並共同擁有 30 個美中台三國專利。近年，除學術研究外，謝助理教授更致力於專利商品化，參與台灣積體電路製造公司共同合作開發專案，針對超高密度電阻式記憶體矩陣進行探索。以及謝的研究團隊獨家發展的新型態單次編程記憶體 (OTP) 也接近量產中。此外，謝師獨創的超高密度嵌入式電阻式記憶體三維架構 (3D 1TnR array) 正在進行理論與技術之攻堅，期望為台灣半導體下一個世代的記憶體技術與創新注入新的活力。

得獎經歷

- 2020 年 EDMA (台灣電子材料與元件協會) - 傑出青年獎
- 台灣積體電路製造股份有限公司 - 年輕共同開發專案 (TSMC Junior JDP)
- 科技部年輕學者養成計畫 - 愛因斯坦獎勵計畫
- 第 16 屆 (2018 年) 遠東集團徐有庠基金會 - 有庠科技論文獎
- 2018 年科技部 - 博士後研究人員學術著作獎

重要學術著作

1. **E. R. Hsieh**, et al., "Four-bit-per-Memory One-transistor-and-eight-Resistive-random-access-memory," IEEE-Electron Device Letters (EDL), vol. 42, no. 3, pp. 335-338 (2021).
2. **E. R. Hsieh**, et al., "An Experimental Approach to Characterizing the Channel Local Temperature Induced by Self-Heating Effect in FinFET." IEEE, Journal of the Electron Devices Society (J-EDS), vol. 6, pp. 866-874 (2018).
3. **E. R. Hsieh**, et al., "A 14-nm FinFET Logic CMOS Process Compatible RRAM Flash With Excellent Immunity to Sneak Path," IEEE, Transactions on Electron Devices, vol. 64, No. 12, pp. 4910-4918 (2017).
4. **E. R. Hsieh**, et al., "The First Embedded 14nm FeFinFET NVM: 2T1CFE Array as Electrical Synapses and Activations for High-performance and Low-power Inference Accelerators," to be appeared on VLSI Technology, 2021.
5. **E. R. Hsieh**, et al., "A Novel Complementary Architecture of One-time-programmable Memory and Its Applications as Physical Unclonable Function (PUF) and One-time Password," IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, USA, 2020, pp. 689-692.

6. **E. R. Hsieh**, et al., "High-Density Multiple Bits-per-Cell 1T4R RRAM Array with Gradual SET/RESET and its Effectiveness for Deep Learning," IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, USA, 2019, pp. 35.6.1- 35.6.4. Tian-Yue Chen, Tsao-Chi Chuang, Ssu-Yen Huang, Hung-Wei Yen, Chi-Feng Pai*, Spin-orbit torque from a magnetic heterostructure of high-entropy alloy (2017, Oct). Physical Review Applied, 8, 044005.
7. **E. R. Hsieh**, et al., "The Demonstration of Gate Dielectric-fuse 4kb OTP Memory Feasible for Embedded Applications in High-k Metal-gate CMOS Generations and Beyond," IEEE Symposium on VLSI Circuits, Kyoto, Japan, 2019, pp. C208-C209.
8. **E. R. Hsieh**, et al., "Embedded PUF on 14nm HKMG FinFET Platform: A Novel 2-bit-per-cell OTP-based Memory Feasible for IoT Security Solution in 5G Era," IEEE Symposium on VLSI Technology, Kyoto, Japan, 2019, pp. T118-T119.
9. **E. R. Hsieh**, et al., "First demonstration of flash RRAM on pure CMOS logic 14nm FinFET platform featuring excellent immunity to sneak-path and MLC capability," Symposium on VLSI Technology, Kyoto, 2017, pp. T72-T73.
10. **E. R. Hsieh**, Z. H. Huang, S. S. Chung, J. C. Ke, C. W. Yang, C. T. Tsai, T. R. Yew, "The demonstration of lowcost and logic process fully-compatible OTP memory on advanced HKMG CMOS with a newly found dielectric fuse breakdown," IEEE International Electron Devices Meeting (IEDM), Washington, DC, 2015, pp. 3.4.1-3.4.4.

指導教授 Prof. Steve S. Chung

- 現職 · Emeritus from Department of Electronics Engineering, National Yang Ming Chiao Tung University
- 學歷 · Ph. D. in Electrical Engineering, University of Illinois at Urbana-Champaign
- 經歷 · 交通大學講座教授 (NCTU Chair Professor)
- 聯華電子研究講座教授 (UMC Research Chair Professor)
- IEEE Life Fellow

推薦專家 Prof. Simon S. Wong

- 現職 · Department of Electrical Engineering, Stanford University
- 學歷 · Ph.D. in Department of Electrical Engineering, UC Berkeley
- 經歷 · Professor in Dept. of Electrical Engineering, Stanford University
- IEEE Life Fellow



吳添立 Tian-Li Wu

國立陽明交通大學 國際半導體產業學院

獲獎摘要

吳添立博士就讀於清華大學電子所碩士班期間，開始專注於碳化矽 (SiC) 功率元件的開發。並於比利時魯汶大學 (KU Leuven) 就讀博士班期間，在比利時 imec 內從事於氮化鎵 (GaN) 功率元件開發及可靠性研究。至今已有 10 年以上寬能隙 (wide bandgap) 氮化鎵 / 碳化矽功率元件研究資歷，並已有超過 80 篇以上國際期刊及研討會論文發表。吳博士團隊在近年來也開始專注於 (1) 鐵電半導體的特性 / 可靠性研究及 (2) 利用人工智慧來協助半導體技術優化，並於 2020 未來科技展展示 AI-Semi 智能優化半導體元件設計、製造及特性平台。此外，吳博士團隊積極參與國際合作，和比利時 imec、美國柏克萊大學 (UC Berkeley)、美國麻省理工學院 (MIT)、美國 IBM、印度德里理工學院 (IIT Delhi)、印度孟買理工學院 (IIT Bombay)、義大利 Padova 大學等有共同合作或論文發表，並曾於國際頂尖會議 2020 VLSI Symposia 上受邀擔任 Mentoring Event 講者，分享個人研究成果、職涯觀點及台灣研究環境。

得獎經歷

- 2020 台灣電機電子工程學院第十屆碩士論文優等指導獎
- 2020 功率半導體材料應用元件國際論壇 - 海報競賽特別獎
- 2020 國立交通大學績優導師
- 2020 英國高等教育學會 Fellow of the Higher Education Academy (FHEA)
- 2019 教育部優秀外國青年來臺蹲點計畫 (TEEP) 績優案例
- 2019 科技部年輕學者養成計畫 (愛因斯坦培植計畫) Young Scholar Fellowship
- 2017 聯發科技青年講座教授

重要學術著作

1. N. Modolo, S.-W. Tang, H.-J. Jiang, C. De Santi, M. Meneghini, and **T.-L. Wu***, "A novel physics-based approach to analyze and model E-mode p-GaN power HEMTs," IEEE Transactions on Electron Devices, vol. 68, no. 4, pp. 1489-1494, April 2021.
2. C.-Y. Chang, C.-S. Wang, C.-Y. Wang, Y.-L. Shen, **T.-L. Wu*** et al., "Demonstration of p-GaN/AlGaN/GaN High Electron Mobility Transistors With an Indium-Tin-Oxide Gate Electrode," IEEE Journal of the Electron Devices Society, vol. 9, pp. 2-5, 2021.
3. **T.-L. Wu*** and S. Kutub, "Machine Learning-Based Statistical Approach to Analyze Process Dependencies on Threshold Voltage in Recessed Gate AlGaN/GaN MIS-HEMTs," IEEE Transactions on Electron Devices, vol. 67, no. 12, pp. 5448-5453, Dec. 2020.

指導教授 Prof. Guido Groeseneken

- 現職 · Director of imec PhD research and Academic Relations
- Professor, Electrical Engineering, KU Leuven, Belgium
- Imec Fellow
- IEEE Fellow
- 學歷 · Ph.D. in Electrical Engineering, KU Leuven, Belgium
- 經歷 · Manager Device Reliability and Electrical characterization at imec

推薦專家 張翼 教授

- 現職 · 國立陽明交通大學 / 國際半導體產業學院院長
- 國立陽明交通大學 / 材料工程學系終身講座教授
- 國立陽明交通大學 / 電子與資訊中心主任
- 國立陽明交通大學 / 台積電聯合發中心主任
- IEEE Fellow
- 學歷 · 美國明尼蘇達大學材料科學與工程博士
- 經歷 · 國立交通大學 / 副校長
- 國立交通大學 / 研發長
- 國立交通大學 / 材料科學與工程學系系主任
- 漢威光電公司 / 總經理



吳俊峯 Chun-Feng Wu

國立台灣大學 資訊工程學系

獲獎摘要

吳俊峯同學自 2016 年起於國立台灣大學資訊工程學研究所攻讀博士班。研究領域包含：記憶體 / 儲存系統、記憶體內運算、作業系統、計算機架構以及嵌入式系統。吳同學於研究領域成果豐碩，曾於 IEEE TC 與 IEEE TCAD 等頂尖國際期刊，及 DAC、CODES+ISSS、EMSOFT、CASES 等 ACM / IEEE 頂尖國際會議以及作業系統領域一等一的會議 USENIX OSDI 中發表論文。

得獎經歷 / 專利

- 科技部 - 博士後千里馬計畫
- 財團法人潘文淵文教基金會 - 潘文淵獎學金
- 財團法人平安菁英基金會 - 菁英獎學金
- 以第四發明人發表美國專利，Patent Number：USP 16,798,166.

重要學術著作

1. **Chun-Feng Wu**, Yuan-Hao Chang, Ming-Chang Yang, and Tei-Wei Kuo, "Joint Management of CPU and NVDIMM for Breaking Down the Great Memory Wall," IEEE Transactions on Computers (TC), vol. 69, no. 5, pp. 722-733, May, 2020.
2. **Chun-Feng Wu**, Yuan-Hao Chang, Ming-Chang Yang, and Tei-Wei Kuo, "When Storage Response Time Catches Up with Overall Context Switch Overhead, What is Next?," accepted and to appear in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD). (Integrated with ACM/IEEE CODES+ISSS'20).
3. **Chun-Feng Wu**, Ming-Chang Yang, Yuan-Hao Chang, and Tei-Wei Kuo, "Hot-Spot Suppression for Resource-Constrained Image Recognition Devices with Non-Volatile Memory," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD), vol. 37, no. 11, pp. 2567-2577, Nov. 2018. (Integrated with ACM/IEEE EMSOFT 2018)
4. **Chun-Feng Wu**, Ming-Chang Yang, and Yuan-Hao Chang, "Improving Runtime Performance of Deduplication System with Host-Managed SMR Storage Drives," ACM/IEEE Design Automation Conference (DAC), San Francisco, USA, Jun. 24-28, 2018. (Top-Conference)
5. Yao-Wen Kang, **Chun-Feng Wu**, Yuan-Hao Chang, Tei-Wei Kuo and Shu-Yin Ho, "On Minimizing Analog Variation Errors to Resolve the Scalability

- Issue of ReRAM-based Crossbar Accelerator," accepted and to appear in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD). (Integrated with ACM/IEEE EMSOFT'20).
6. Gaddisa Olani Ganfure, **Chun-Feng Wu**, Yuan-Hao Chang, and Wei-Kuan Shih, "DeepPrefetcher: A Deep Learning Framework for Data Prefetching in Flash Storage Devices," accepted and to appear in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD). (Integrated with ACM/IEEE CASES'20).
 7. Ming-Chang Yang, **Chun-Feng Wu**, Shuo-Han Chen, Yi-Ling Lin, Che-Wei Chang, and Yuan-Hao Chang, "On Minimizing Internal Data Migrations of Flash Devices via Lifetime- Retention Harmonization," accepted and to appear in IEEE Transactions on Computers (TC).
 8. Yun-Chih Chen, **Chun-Feng Wu**, Yuan-Hao Chang, and Tei-Wei Kuo, "Reptail: Cutting Storage Tail Latency with Inherent Redundancy," ACM/IEEE Design Automation Conference (DAC), San Francisco, CA, USA, Dec. 5-9, 2021. (Top-Conference)
 9. Yun-Sheng Chang, Yao Hsiao, Tzu-Chi Lin, Che-Wei Tsao, **Chun-Feng Wu**, Yuan-Hao Chang, Hsiang-Shang Ko, and Yu-Fang Chen, "Determinizing Crash Behavior with a Verified Snapshot-Consistent Flash Translation Layer," USENIX Symposium on Operating Systems Design and Implementation (OSDI), Banff, Alberta, Canada, Nov. 4-6, 2020. (Top- Conference)
 10. Shuo-Han Chen, Ming-Chang Yang, Yuan-Hao Chang, and **Chun-Feng Wu**, "Enabling File-Oriented Fast Secure Deletion on Shingled Magnetic Recording Drives," ACM/IEEE Design Automation Conference (DAC), Las Vegas, Nevada, USA, Jun. 2-6, 2019. (Top- Conference)

指導教授 郭大維 教授

- 現職 · 國立台灣大學 / 資訊工程學系特聘教授
- 香港城市大學 / 李兆基資訊工程講座教授、校長資深顧問暨工學院院長
- 學歷 · 美國德州大學奧斯汀分校 / 電腦科學博士
- 經歷 · 國立台灣大學 / 代理校長
- 國立台灣大學 / 學術副校長
- 美國計算機協會會士 ACM Fellow
- 國際電機電子工程師學會會士 IEEE Fellow
- 美國發明家學院院士 NAI Fellow

共同指導教授 張原豪 研究員

- 現職 · 中央研究院 / 資訊科學研究所
- 學歷 · 國立台灣大學 / 資訊工程博士
- 經歷 · 中央研究院 / 資訊科學研究所副所長
- 中央研究院 / 資訊科學研究所研究員



陳天玥 T.-Y. Chen

國立台灣大學 材料科學與工程學系

獲獎摘要

陳天玥同學於 2016 年進入國立台灣大學材料科學與工程學系就讀研究所。研究領域為自旋霍爾效應 (Spin Hall effect)、自旋軌道矩式磁性記憶體 (Spin-Orbit Torque Magnetic Random Access Memory)。曾參與 The Magnetism and Magnetic Materials Conference (MMM), International Conference of Asian Union of Magnetism Societies (IcAUMs) 及 The Magnetic Recording Conference (TMRC) 等國際會議，並於會議中發表相關研究成果。

得獎經歷

- 2020 CTCI Foundation Science and Technology Scholarship
- 2019 USI Education Foundation Scholarship
- 2018 National Taiwan University Outstanding Student Scholarship

重要學術著作

1. **T.-Y. Chen**, C.-T. Wu, H.-W. Yen, and C.-F. Pai, "Tunable spin-orbit torque in Cu-Ta binary alloy heterostructures," Physical Review B 96, 104434 (2017).
2. **T.-Y. Chen**, T.-C. Chuang, S.-Y. Huang, H.-W. Yen, and C.-F. Pai, "Spin-orbit torque from a magnetic heterostructure of high-entropy alloy," Physical Review Applied 8, 044005 (2017).
3. T.-C. Wang, **T.-Y. Chen***, C.-T. Wu, H.-W. Yen, and C.-F. Pai*, "Comparative Study on Spin-Orbit Torque Efficiencies from W/ferromagnetic and W/ferrimagnetic Heterostructures," Physical Review Materials 2, 014403 (2018).
4. T.-Y. Tsai, **T.-Y. Chen**, C.-T. Wu, H.-I. Chan, C.-F. Pai*, "Spin-orbit torque magnetometry by wide-field magneto-optical Kerr effect" Scientific Reports 8, 5613 (2018).

5. **T.-Y. Chen**, H.-I. Chan, W.-B. Liao, and C.-F. Pai*, "Current-induced spin-orbit torque and field-free switching from Mo-based magnetic heterostructures," Physical Review Applied 10, 044038 (2018).
6. **T.-Y. Chen**, Y. Ou, T.-Y. Tsai, R. A. Buhrman, and C.-F. Pai*, "Spin-orbit torques acting upon a perpendicularly-magnetized Py layer," APL Materials 6, 121101 (2018).
7. W.-B. Liao, **T.-Y. Chen**, Y. Ferrante, S. S. P. Parkin, and C.-F. Pai*, "Current-induced magnetization switching by the high spin Hall conductivity α -W," Physica Status Solidi (RRL) - Rapid Research Letters 13, 1900408 (2019).
8. **T.-Y. Chen**, C.-W. Peng, T.-Y. Tsai, W.-B. Liao, C.-T. Wu, H.-W. Yen, and C.-F. Pai*, "Efficient Spin-Orbit Torque Switching with Nonepitaxial Chalcogenide Heterostructures," ACS Appl. Mater. Interfaces 12, 7788 (2020).
9. Y.-T. Liu, **T.-Y. Chen***, T.-H. Lo, T.-Y. Tsai, S.-Y. Yang, Y.-J. Chang, J.-H. Wei, and C.-F. Pai*, "Determination of Spin-Orbit Torque Efficiencies in Heterostructures with In-plane Magnetic Anisotropy," Physical Review Applied 13, 044032 (2020).
10. W.-B. Liao, **T.-Y. Chen**, Y.-C. Hsiao, and C.-F. Pai*, "Pulse-width and Temperature Dependence of Memristive Spin-Orbit Torque Switching," Applied Physics Letters 117, 182402 (2020).

指導教授 白奇峰 副教授

- 現職 · 國立台灣大學
- 學歷 · Ph.D. in Applied Physics, Cornell University
- 經歷 · 2014 - 2016 Post-doctoral Research Associate, DMSE, MIT
- 2016 - present Consulting Research Fellow, MRAM Team, ITRI
- 2019 - present Vice Chair, IEEE Magnetic Society, Taiwan Chapter



鄒亞叡 Ya-Jui Tsou

國立台灣大學 電子工程學研究所

獲獎摘要

鄒亞叡同學於國立台灣大學電子工程學研究所攻讀博士班，研究領域為自旋轉移力矩與自旋軌道力矩磁阻式記憶體 (STT-MRAM & SOT-MRAM)，開發垂直式磁穿隧界面 (MTJ) 薄膜沉積與優化、離子束蝕刻以製備磁性元件、LLG 物理等效模型分析寫入容忍度、磁阻式記憶體陣列的自發熱效應模擬。相關研究成果發表於 IEEE 頂尖國際會議 Symposium on VLSI Technology、IEDM MRAM Poster、JXCDC 國際期刊，有 8 項美國專利申請中。成果豐碩，難能可貴。

得獎經歷 / 專利

- 2020 台大 1975 級電機系系友科技研究創新獎
- 2017~2020 台積電 - 台大聯合研發中心獎助學金
- 以第一發明人申請 3 篇美國專利，以共同發明人申請 5 篇美國專利

重要學術著作

1. **Ya-Jui Tsou**, Kai-Shin Li, Jia-Min Shieh, Wei-Jen Chen, Hsiu-Chih Chen, Yi-Ju Chen, Cho-Lun Hsu, Yao-Min Huang, Fu-Kuo Hsueh, Wen-Hsien Huang, Wen-Kuan Yeh, Huan-Chi Shih, Pang-Chun Liu, C. W. Liu, Yu-Shen Yen, Chih-Huang Lai, Jeng-Hua Wei, Denny D. Tang, and Jack Yuan-Chen Sun, "First Demonstration of Interface-Enhanced SAF Enabling 400°C-Robust 42 nm p-SOT-MTJ Cells with STT-Assisted Field-Free Switching and Composite Channels," Symposia on VLSI Technology and Circuits (VLSI), Jun. 2021.
2. **Ya-Jui Tsou**, Jih-Chao Chiu, Huan-Chi Shih, and C. W. Liu, "Write Margin Analysis of Spin-Orbit Torque Switching Using Field-Assisted Method," IEEE Journal on Exploratory Solid-State Computational Devices and Circuits (JXCDC), vol. 5, no. 2, pp. 173-181, Dec. 2019.
3. **Ya-Jui Tsou**, Chia-Che Chung, Jih-Chao Chiu, Huan-Chi Shih, and C. W. Liu, "Thermal and Reliability Modeling of FinFET-Driven STT-pMTJ Array Considering Mutual Coupling, 3D Heat Flow, and BEOL Effects," IEDM MRAM Poster, Dec. 2019.
4. **Ya-Jui Tsou**, Zong-You Luo, Chia-Che Chung, and C. W. Liu, "Thermal Modeling of FinFET-Driven Spin-Orbit Torque MRAM Considering Thermal Coupling and BEOL Effects," IEDM MRAM Poster, Dec. 2018.
5. Jih-Chao Chiu, **Ya-Jui Tsou**, Huan-Chi Shih, and C. W. Liu, "Write Error Rate Prediction of STT-pMTJ Considering Process Variations and Thermal Fluctuations," IEDM MRAM Poster, Dec. 2019.

6. Zong-You Luo, **Ya-Jui Tsou**, and C. W. Liu, "Field-Free Spin-Orbit Torque Switching of pMTJ Utilizing Voltage-Controlled Magnetic Anisotropy and STT," IEDM MRAM Poster, Dec. 2018.
7. Zong-You Luo, **Ya-Jui Tsou**, Yi-Cheng Dong, Ching Lu, and C. W. Liu, "Field-free Spin-orbit Torque Switching of Perpendicular Magnetic Tunnel Junction Utilizing Voltage-Controlled Magnetic Anisotropy Pulse Width Optimization," Non-Volatile Memory Technology Symposium (NVMTS), Oct. 2018.
8. Yu-Shiang Huang, **Ya-Jui Tsou**, Chih-Hsiung Huang, Chih-Hao Huang, Huang-Siang Lan, C. W. Liu, Yi-Chiau Huang, Hua Chung, Chorng-Ping Chang, Schubert S. Chu, and Satheesh Kuppura, "High-Mobility CVD-Grown Ge/Strained Ge_{0.9}Sn_{0.1}/Ge Quantum-Well pMOSFETs on Si by Optimizing Ge Cap Thickness," IEEE Transactions on Electron Devices, vol. 64, no. 6, pp. 2498-2504, Jun. 2017.
9. Yu-Shiang Huang, Fang-Liang Lu, **Ya-Jui Tsou**, Hung-Yu Ye, Shih-Ya Lin, Wen-Hung Huang, and C. W. Liu, "Vertically Stacked Strained 3-GeSn-Nanosheet pGAAFETs on Si Using GeSn/Ge CVD Epitaxial Growth and the Optimum Selective Channel Release Process," IEEE Electron Device Letters, vol. 39, no. 9, pp. 1274-1277, Sep. 2018.
10. Yu-Shiang Huang, Fang-Liang Lu, **Ya-Jui Tsou**, Chung-En Tsai, Chung-Yi Lin, Chih-Hao Huang, and C. W. Liu, "First Vertically Stacked GeSn Nanowire pGAAFETs with Ion=1850 μA/μm (V_{OV}=V_{D5}=-1V) on Si by GeSn/Ge CVD Epitaxial Growth and Optimum Selective Etching," International Electron Devices Meeting (IEDM), pp. 832-835, Dec. 2017.

指導教授 劉致為 教授

- 現職 · Distinguished Professor / Chair Professor of Electrical Engineering, National Taiwan University
- 學歷 · Ph.D. 1994 in Electrical Engineering, Princeton University
· M.S. 1987 and B.S. 1985 in Electrical Engineering, National Taiwan University

- 經歷 · IEEE Fellow (2018~)
- Deputy General Director (副主任 , 2008~2013) / Senior full researcher (資深研究員 , 2011~), National Nano Device Laboratories
- Research Director / Senior full researcher (資深研究員), ERSO / ITRI (2002 ~ 2005)



蔡仲恩 Chung-En Tsai

國立台灣大學 電子工程學研究所

獲獎摘要

蔡仲恩同學於國立台灣大學電子工程學研究所攻讀博士班，研究領域為化學氣相沉積 (CVD) 系統之四族磊晶成長，並探討高硼摻雜濃度對銻錫接觸電阻之影響，以及將原子層沉積法 (ALD) 成長之功函數金屬整合於 3D 電晶體以調變元件之臨界電壓。相關研究成果發表於 IEEE 頂尖國際會議 Symposium on VLSI Technology 與 IEDM 和一流之 IEEE TED 國際期刊。成果豐碩，難能可貴。

得獎經歷 / 專利

- 以第一發明人發表美國專利，Patent number：USP 10,777,663
- 以第五發明人發表美國專利，Patent number：USP 10,957,784 and 10,332,985
- 以第七發明人發表美國專利，Patent number：USP 10,340,383
- 2016 - 2020 台積電 - 臺大聯合研發中心獎助學金

重要學術著作

1. **Chung-En Tsai**, Yu-Rui Chen, Chien-Te Tu, Yi-Chun Liu, Jyun-Yan Chen, and C. W. Liu, "First Demonstration of Multi-V_r Stacked Ge_{0.87}Sn_{0.13} Nanosheets by Dipole-Controlled ALD W_{Nx}Cy Work Function Metal with Low Resistivity and Thermal Budget ≤ 400 °C," Symposia on VLSI Technology and Circuits (VLSI), 2021.
2. Yi-Chun Liu, Chien-Te Tu, **Chung-En Tsai**, Yu-Rui Chen, Jyun-Yan Chen, Sun-Rong Jan, Bo-Wei Huang, Shee-Jier Chueh, Chia-Jung Tsen, and C. W. Liu, "First Highly Stacked Ge_{0.95}Si_{0.05} nGAAFETs with Record I_{ON} = 110 μA (4100 μA/μm) at V_{OV}=V_{D5}=0.5V and High G_{m,max} = 340 μS (13000 μS/μm) at V_{D5}=0.5V by Wet Etching," Symposia on VLSI Technology and Circuits (VLSI), 2021.
3. Yu-Shiang Huang, **Chung-En Tsai**, Chien-Te Tu, Jyun-Yan Chen, Hung-Yu Ye, Fang-Liang Lu, and C. W. Liu, "First Demonstration of Uniform 4-Stacked Ge_{0.9}Sn_{0.1} Nanosheets with Record I_{ON}=73 μA at V_{OV}=V_{D5}= -0.5V and Low Noise Using Double Ge_{0.95}Sn_{0.05} Caps, Dry Etch, Low Channel Doping, and High S/D Doping," pp. 23-26, International Electron Devices Meeting (IEDM), 2020.
4. **Chung-En Tsai**, Fang-Liang Lu, Yi-Chun Liu, Hung-Yu Ye, and C. W. Liu, "Low Contact Resistivity to Ge Using In-situ B and Sn Incorporation by Chemical Vapor Deposition," IEEE Transactions on Electron Devices, Vol. 67, No. 11, pp. 5053-5058, Nov. 2020.

指導教授 劉致為 教授

- 現職 · Distinguished / Chair Professor, National Taiwan University
- 學歷 · Ph.D. 1994 Electrical Engineering, Princeton University
· M.S. 1987 and B.S. 1985, National Taiwan University

5. Yu-Shiang Huang, Fang-Liang Lu, Chien-Te Tu, Jyun-Yan Chen, **Chung-En Tsai**, Hung-Yu Ye, Yi-Chun Liu and C. W. Liu, "First Demonstration of 4-Stacked Ge_{0.915}Sn_{0.085} Wide Nanosheets by Highly Selective Isotropic Dry Etching with High S/D Doping and Undoped Channels," Symposia on VLSI Technology and Circuits (VLSI), 2020.
6. Fang-Liang Lu, Yi-Chun Liu, **Chung-En Tsai**, Hung-Yu Ye, and C. W. Liu, "Record Low Contact Resistivity to Ge:B (8.1x10⁻¹⁰Ω-cm²) and GeSn:B (4.1x10⁻¹⁰Ω-cm²) with Optimized [B] and [Sn] by In-situ CVD Doping," Symposia on VLSI Technology and Circuits (VLSI), 2020.
7. **Chung-En Tsai**, Chih-Hsiung Huang, Yu-Rui Chen, Chien-Te Tu, Yu-Shiang Huang, and C. W. Liu, "600 meV Effective Work Function Tuning by Sputtered W_{Nx} Films," 2020 International Symposium on VLSI Technology, Systems and Application (VLSI-TSA), Hsinchu, April 20-23, 2020.
8. Yu-Shiang Huang, **Chung-En Tsai**, Chien-Te Tu, Hung-Yu Ye, Yi-Chun Liu, Fang-Liang Lu, and C. W. Liu, "First Stacked Ge_{0.88}Sn_{0.12} pGAAFETs with Cap, L_G=40nm, Compressive Strain of 3.3%, and High S/D Doping by CVD Epitaxy Featuring Record I_{ON} of 58 μA at V_{OV}=V_{D5}= -0.5V, Record G_{m,max} of 172 μS at V_{D5}= -0.5V, and Low Noise," pp. 689-692, International Electron Devices Meeting (IEDM), 2019.
9. Fang-Liang Lu, **Chung-En Tsai**, Chih-Hsiung Huang, Hung-Yu Ye, Shih-Ya Lin, C. W. Liu, "Record Low Contact Resistivity (4.4x10⁻¹⁰Ω-cm²) to Ge Using In-situ B and Sn Incorporation by CVD With Low Thermal Budget (≤400 °C) and Without Ga," pp.178-179, Symposia on VLSI Technology and Circuits (VLSI), 2019.
10. **Chung-En Tsai**, Fang-Liang Lu, Pin-Shiang Chen, and C. W. Liu, "Boron-doping induced Sn loss in GeSn alloys grown by chemical vapor deposition," Thin Solid Films, Vol. 660, pp. 263-266, 2018.

- 經歷 · IEEE Fellow (2018~)
- Deputy General Director (副主任 , 2008~2013) / Senior full researcher (資深研究員 , 2011~), National Nano Device Labs
- Research Director / Senior full researcher (資深研究員), ERSO / ITRI (2002 ~ 2005)



呂紹永 Shao-Yung Lu

國立陽明交通大學 電機工程研究所

獲獎摘要

呂紹永同學於國立陽明交通大學電機工程研究所攻讀博士班。研究領域包含電化學感測前端電路 (Electrochemical sensing front end circuit) 開發與高精準低功耗振盪器研究。至今累積發表國際期刊與國際研討會議論文17篇。於國際權威固態電路會議 ISSCC 發表應用於傷口照護之電化學全整合感測晶片，並獲得當年度 ISSCC 遠東論文獎 (Silkroad Award)。此外，低功耗高精準振盪器發表於頂尖固態電路期刊 JSSC，研究成果豐碩。

得獎經歷

- 2021 ISSCC Silkroad Award 遠東論文獎
- 2017、2020 光寶創新獎 Merit Award
- 2018、2020 旺宏金矽獎優勝
- 2020 科技部未來科技獎
- 2016、2017 TSRI 優良 / 特優晶片設計獎
- 2019 聯詠科技博士班獎學金
- 2018 思源博士班獎學金

重要學術著作

1. **Shao-Yung Lu**, Siang-Sin Shan, Shih-Che Kuo, Cheng-Ze Shao, Yung-Hua Yeh, I-Te Lin, Shu-Ping Lin, Yu-Te Liao, "A Wireless Multimodality System-on-a-Chip with Time-Based Resolution Scaling Technique for Chronic Wound Monitoring," IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA, 2021, pp. 282-284
2. **Shao-Yung Lu**, Siang-Sin Shan, Ting-Heng Lu, Yung-Hua Yeh, Shi-Zhe Guo, Yi-Chia Chen, Yu-Te Liao, "A Review of CMOS Electrochemical Readout Interface Designs for Biomedical Assays," IEEE Sensors Journal, 2021(Accepted)
3. **Shao-Yung Lu** and Yu-Te Liao, "A 19 μ W, 50 kS/s, 0.008-400 V/s Cyclic Voltammetry Readout Interface with a Current Feedback Loop and On-Chip Pattern Generation" IEEE Transactions on Biomedical Circuits and Systems, 2021 (Accepted)
4. **Shao-Yung Lu**, Siang-Sin Shan, Tiger Chang, Yu-Te Liao, "A Wide-Range Capacitance-to-Frequency Readout Circuit using Pulse-Width Detection and Delay-Line-Based Feedback Control Loop," IEEE International Symposium on Circuits and Systems (ISCAS), Sevilla, Sep. 2020, pp. 1-5

指導教授 廖育德 教授

- 現職 · 國立陽明交通大學 / 電機工程學系
 學歷 · 美國華盛頓大學 / 電機工程學系博士
 經歷 · 美國佛羅里達大學訪問學者 (2018)
 · IEEE Sensors Journal Associate Editor (2017~)
 · 國立陽明交通大學 / 電機工程學系教授 (2020~)



鍾昀晏 Yun-Yan Chung

國立陽明交通大學 電子工程研究所

獲獎摘要

鍾昀晏同學自 2016 年起大學選讀國立陽明交通大學電子工程研究所博士班。研究領域為二維材料電晶體開發 (Two-dimensional material transistor development)，探討接觸電阻 (contact resistance) 與二維材料元件應用 (Two-dimensional material device application)，並且提出相應的解決方案。成果分別發表於 IEEE EDL (2 篇第一作者)、IEEE TED (1 篇第一作者)、於 2019 年 IEEE VLSI (第一學生作者) 與 2020 年 IEEE IEDM (第一作者)，2 項專利申請中。在學期間成果豐碩，難能可貴。

得獎經歷 / 專利

- 2019 交大台積電聯合研發中心獎助學金
- 2020 交大台積電聯合研發中心獎助學金
- 專利 "A Novel Contralateral-Gated Transistor for Logic Circuit, Embedded Memory & Artificial Intelligence in Back-End-of-Line Application" 第一專利發明人
- 專利 "Two-dimensional material transistor with triple-gate design to realize NAND and NOR logic computing" 第一專利發明人

重要學術著作

1. **Yun-Yan Chung**, Chao-Ching Cheng, Bo-Kai Kang, Wei-Chen Chueh, Shih-Yun Wang, Chen-Han Chou, Terry Y.T. Hung, Shin-Yuan Wang, Wen-Hao Chang, Lain-Jong Li and Chao-Hsin Chien, "Switchable NAND and NOR Logic Computing in Single Triple-Gate Monolayer MoS₂ n-FET." IEEE International Electron Devices Meeting (IEDM), 12-18 Dec. 2020.
2. Terry Y.T. Hung, Shih-Yun Wang, Chih-Piao Chuu, **Yun-Yan Chung**, Ang-Sheng Chou, Feng-Shew Huang, Tac Chen, Ming-Yang Li, Chao-Ching Cheng, Jin Cai, Chao-Hsin Chien, Wen-Hao Chang, H.-S. Philip Wong and Lain-Jong Li, "Pinning-Free Edge Contact Monolayer MoS₂ FET." IEEE International Electron Devices Meeting (IEDM), 12-18 Dec. 2020.
3. Chao-Ching Cheng, **Yun-Yan Chung**, Ming-Yang Li, Chao-Ting Lin, Chi-Feng Li, Jyun-Hong Chen, Tung-Yen Lai, Kai-Shin Li, Jia-Min Shieh, Sheng-Kai Su, Hung-Li Chiang, Tzu-Chiang Chen, Lain-Jong Li, H.-S. Philip Wong, and Chao-Hsin Chien. "First demonstration of 40-nm channel length top-gate WS₂ pFET using channel area-selective CVD growth directly on SiO_x/Si substrate" IEEE Symposium on VLSI Technology, 9-14 Jun. 2019.

指導教授 簡昭欣 教授

- 現職 · 國立陽明交通大學 / 電子工程研究所教授
 學歷 · 國立交通大學 / 電子工程博士
 經歷 · 國立交通大學 / 電子系所教授 (2010/8)
 · 國立交通大學 / 電子系所副教授 (2007/8)
 · 國立交通大學 / 電子系所助理教授 (2005/8)
 · 國家奈米元件實驗室 / 副研究員 (1999/9)

共同指導教授 鄭兆欽 技術經理

- 現職 · 台灣積體電路製造股份有限公司 / 合作研究處
 學歷 · 國立交通大學 / 電子工程博士
 經歷 · 台積電 / 合作研究處技術經理 (2020/7)
 · 台積電 / 先進元件研究處技術副理 (2013/7)



王建評 Chien-Ping Wang

國立清華大學 電子工程研究所

獲獎摘要

王建評同學自 2019 年起於國立清華大學電子工程研究所攻讀博士班。目前主要研究領域為包含 CMOS 離子感測器 (Ion Sensor) 與應用於先進製程之電子束 (Electron Beam, e-beam) 感測器與新型高密度與高解析度之光學感測器，包含極紫外光 (Extreme Ultraviolet, EUV) 與深紫外光 (Deep Ultraviolet, DUV) 之感測監控與參數萃取。研究成果曾於 IEDM 與 Sym. on VLSI 等 IEEE 頂尖國際會議發表。

得獎經歷

- 2020 台積電研究助理獎學金
- 2019 鑫森基金會重點科技博士生獎學金計畫
- 2019 科技部 - 培育優秀博士生獎學金
- 2019 台積電研究助理獎學金
- 2018 台積電研究助理獎學金
- 2017 台積電研究助理獎學金

重要學術著作

1. **Chien-Ping Wang**, Burn Jeng Lin, Jiaw-Ren Shih, Yue-Der Chih, Jonathan Chang, Chrong Jung Lin and Ya-Chin King*, "On-Wafer Electronic Layer Detectors Array (ELDA) for e-beam Imaging in Advanced Lithographic Systems," in 2021 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA), Hsinchu, Apr. 2021.
2. **Chien-Ping Wang**, Ying-Chun Shen, Kun-Lin Liou, Yu-Lun Chueh, Yue-Der Chih, Jonathan Chang, Jiaw-Ren Shih, Chrong Jung Lin and Ya-Chin King*, "Hair-Like Nanostructure Based Ion Detector by 16nm FinFET Technology," in 2020 IEEE Symposia on VLSI Technology and Circuits (Sym. on VLSI), Honolulu, HI, June 2020.
3. **Chien-Ping Wang**, Yi-Pei Tsai, Burn Jeng Lin, Zheng-Yong Liang, Po-Wen Chiu, Jiaw-Ren Shih, Chrong Jung Lin and Ya-Chin King*, "On-Wafer

- FinFET-Based EUV/eBeam Detector Arrays for Advanced Lithography Processes," in IEEE Transactions on Electron Devices (TED), vol. 67, no. 6, pp. 2406-2413, April 2020.
4. **Chien-Ping Wang**, Ying-Chun Shen, Peng-Chun Liou, Yu-Lun Chueh, Yue-Der Chih, Jonathan Chang, Chrong-Jung Lin and Ya-Chin King*, "Dynamic pH Sensor with Embedded Calibration Scheme by Advanced CMOS FinFET Technology," in Sensors, vol. 19, no. 7, pp. 1585, April 2019.
5. Zih-Hong Chen, Po-Hsiang Huang, **Chien-Ping Wang**, Yu-Der Chih, Chrong-Jung Lin and Ya-Chin King*, "Embedded Near-Infrared Sensor with Tunable Sensitivity for Nanoscale CMOS Technologies," in IEEE Sensors Journal, vol. 19, no. 3, pp. 933-939, Feb.1, 2019.
6. Peng-Chun Liou, Tsung-Han Lee, **Chien-Ping Wang**, Yu-Lun Chueh, Yue-Der Chih, Jonathan Chang, Chrong Jung Lin, Ya-Chin King*, "High Resolution Ion Detector (HRID) by 16nm FinFET CMOS Technology," in 2018 IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, Dec. 2018.
7. Zih-Hong Chen, **Chien-Ping Wang**, Po-Hsiang Huang, Chrong Jung Lin and Ya-Chin King*, "Embedded Tunable Near Infrared Sensor with Programmable Potential Barrier on Nano-meter CMOS Platforms," in 2018 IEEE 2nd Electron Devices Technology and Manufacturing Conference (EDTM), Kobe, Mar. 2018, pp. 274-276.

指導教授 金雅琴 教授

- 現職 · 國立清華大學 / 電子工程研究所
· 國立清華大學 / 先進快閃記憶體中心主任
- 學歷 · Ph.D. 1999 and MS. 1994 Electrical Engineering, University of California, Berkeley, BS. 1992 Electrical Engineering, National Taiwan University
- 經歷 · 國立清華大學 / 電子工程研究所教授 (1999~)

共同指導教授 林崇榮 教授

- 現職 · 國立清華大學 / 電子工程研究所
· 世界先進積體電路股份有限公司 (VIS) (借調)
- 學歷 · Ph.D. 1996, MS. 1992 and BS. 1990, Electrical Engineering, National Tsing Hua University
- 經歷 · 國立清華大學 / 電子工程研究所 教授 (2005~)
· 世界先進積體電路股份有限公司 (VIS) (借調) (2015~)
· 台灣積體電路製造公司 (TSMC) Program Manager, R&D (1996~2005)



薛承昕 Cheng-Xin Xue

國立清華大學 電機工程學系

獲獎摘要

薛承昕同學自 2017 年起於國立清華大學電機工程學系-系統組攻讀博士班。主要研究領域為應用於人工智能晶片之記憶體內運算 (Computing-in-memory, CIM) 電路設計。其中包含揮發性記憶體內運算架構 SRAM-CIM 及非揮發性記憶體內運算架構 ReRAM-CIM。其研究成果於國際頂級期刊 Nature Electronics, JSSC 及 ISSCC、IEDM、ASSCC 等 IEEE 頂尖國際會議發表。

得獎經歷

- 2021 台積電獎學金
- 2020 旺宏金矽獎 - 優勝
- 2020 台積電獎學金
- 2019 台積電獎學金
- 2019 旺宏金矽獎 - 銅獎
- 2018 旺宏金矽獎 - 銅獎

重要學術著作

1. **Cheng-Xin Xue**, et.al, "A CMOS-integrated compute-in-memory macro based on resistive random-access memory for AI edge devices," Nature Electronics, vol. 4, pp.81-90, Jan. 2021 (Research Article)
2. **Cheng-Xin Xue**, et.al, "A 22nm 4Mb 8b-Precision ReRAM Computing-in-Memory Macro with 11.91 to 195.7TOPS/W for Tiny AI Edge Devices." IEEE International Solid-State Circuits Conference (ISSCC) Dig. Tech. Papers, Feb. 2021.
3. **Cheng-Xin Xue**, et.al, "Embedded 1-Mb ReRAM-Based Computing-in-Memory Macro With Multibit Input and Weight for CNN-Based AI Edge Processors." IEEE Journal of Solid-State Circuits (JSSC), vol.55, No. 1, pp.203-215, Jan. 2020.
4. **Cheng-Xin Xue**, et.al, "A 22nm 2Mb ReRAM Compute-in-Memory Macro with 121-28TOPS/W for Multibit MAC Computing for Tiny AI Edge Devices." IEEE International Solid-State Circuits Conference (ISSCC) Dig. Tech. Papers, pp.244-245, Feb. 2020.

5. **Cheng-Xin Xue**, et.al, "A 1Mb Multibit ReRAM Computing-In-Memory Macro with 14.6ns Parallel MAC Computing Time for CNN Based AI Edge Processors." IEEE International Solid-State Circuits Conference (ISSCC) Dig. Tech. Papers, pp.388-389, Feb. 2019.
6. Fu-Kuo Hsueh, ...**Cheng-Xin Xue**, et.al, "Monolithic 3D SRAM-CIM Macro Fabricated with BEOL Gate-All-Around MOSFETs." IEEE International Electron Devices Meeting (IEDM), pp.54-57, Nov. 2019.
7. **Cheng-Xin Xue**, et.al, "A 28-nm 320-Kb TCAM Macro Using Split-Controlled Single-Load 14T Cell and Triple-Margin Voltage Sense Amplifier." IEEE Journal of Solid-State Circuits (JSSC), Vol. 54, No. 10, pp.2743-2753, Oct. 2019.
8. Wei-Hao Chen, ... **Cheng-Xin Xue**, et.al, "CMOS-integrated memristive non-volatile computing-in-memory for AI edge processors" Nature Electronics, Vol. 2, No. 9, pp.420-428, Sep. 2019.
9. **Cheng-Xin Xue**, et.al, "A 28nm 320Kb TCAM Macro with Sub-0.8ns Search Time and 3.5+x Improvement in Delay-Area-Energy Product using Split-Controlled Single-Load 14T Cell." IEEE Asian Solid-State Circuits Conference (A-SSCC), pp.127-128, Nov. 2018.
10. Wei-Hao Chen, ...**Cheng-Xin Xue**, et.al, "A 65nm 1Mb nonvolatile computing-in-memory ReRAM macro with sub-16ns multiply-and-accumulate for binary DNN AI edge processors." IEEE International Solid-State Circuits Conference (ISSCC) Dig. Tech. Papers, pp.494-496, Feb. 2018.

指導教授 張孟凡 教授

- 現職 · 國立清華大學 / 電機工程學系特聘教授
· 台灣積體電路製造公司 (TSMC) Director of Corporate Research
- 學歷 · 國立交通大學 / 電子工程博士

- 經歷 · IEEE Fellow (2019 年)
· 台灣積體電路製造公司 (TSMC) Director of Corporate Research (2020~)
· IEEE Taipei Section Chair (2019/1-2021/1)
· 科技部 Program Director, Micro-Electronics Program (2018/1-2020/12)
· 國立清華大學 / 電機工程學系特聘教授 (2019/8 ~)
· 國立清華大學 / 電機工程學系教授 (2014/8)
· 國立清華大學 / 電機工程學系副教授 (2006/8)



黃一平 Ying-Ping Huang

國立成功大學 微電子研究所

獲獎摘要

黃一平同學自 2015 年起於國立成功大學微電子研究所攻讀博士班。主要研究領域為氮化鎵功率元件及高頻元件，其中所研製出的新型三閘極奈米線氮化鎵元件在功率應用領域上，性能達到目前已發表中最頂尖的水準。研究成果曾於國際一流期刊 IEEE Electron Device Letter、IEEE Transactions on Electron Devices 及國際一流研討會 Device Research Conference 上發表，並有論文有幸被 IEEE Electron Device Letter 期刊選為期刊封面及重點論文。

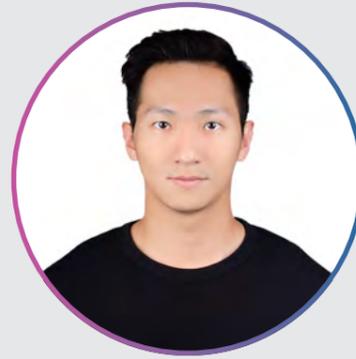
重要學術著作

1. **Ying-Ping Huang**, Wei-Chou Hsu, Han-Yin Liu, and Ching-Sung Lee, "Enhancement-Mode Tri-Gate Nanowire InAlN/GaN MOSHEMT for Power Applications," IEEE Electron Device Lett., vol. 40, no. 6, pp. 929-932, Jun. 2019.
2. **Ying-Ping Huang**, Chih-Chieh Huang, Ching-Sung Lee, and Wei-Chou Hsu, "Enhancement-Mode InAlN/GaN Power MOSHEMT on Silicon With Schottky Tri-Drain Extension," IEEE Trans. Electron Devices, vol. 67, no. 12, pp. 5434-5440, Jul. 2020.
3. **Ying-Ping Huang**, Ching-Sung Lee, and Wei-Chou Hsu, "Normally-Off InAlN/GaN Fin-MOSHEMT with Fluorine Treatment," 2020 Device Research Conference (DRC), Jun. 2020.
4. **Ying-Ping Huang**, Chih-Chieh Huang, Ching-Sung Lee, and Wei-Chou Hsu, "High-Performance Normally-OFF AlGaIn/GaN Fin-MISHEMT on Silicon With Low Work Function Metal-Source Contact Ledge," IEEE Trans. Electron Devices, vol. 67, no. 12, pp. 5434-5440, Dec. 2020.
5. Ching-Sung Lee, Xue-Cheng Yao, **Ying-Ping Huang**, and Wei-Chou Hsu, "Improved Ultraviolet Detection and Device Performance of Al₂O₃-Dielectric In_{0.17}Al_{0.83}N/ AlN/GaN MOS-HFETs," IEEE Journal of the Electron Devices Society, vol. 7, no. 1, pp. 430-434, Mar. 2019.

6. Ching-Sung Lee, Xue-Cheng Yao, **Ying-Ping Huang**, and Wei-Chou Hsu, "Al₂O₃-Dielectric InAlN/AlN/GaN Gamma-Gate MOS-HFETs With Composite Al₂O₃/TiO₂ Passivation Oxides," IEEE Journal of the Electron Devices Society, vol. 6, no. 1, pp. 1142-1146, Sep. 2018.
7. **Ying-Ping Huang**, Ching-Sung Lee, and Wei-Chou Hsu, "Novel Enhancement-Mode Tri-Gate InAlN/GaN Tunnel-Junction HEMT," 2020 International Conference on Solid State Devices and Materials (SSDM), Sep. 2020.
8. Ching-Sung Lee, Yan-Ting Shen, Wei-Chou Hsu, **Ying-Ping Huang**, and Cheng-Yang You, "Al_{0.75}Ga_{0.25}N/Al_xGa_{1-x}N/Al_{0.75}Ga_{0.25}N/AlN/SiC Metal-Oxide-Semiconductor Heterostructure Field-Effect Transistors With Symmetrically-Graded Widegap Channel," IEEE Journal of the Electron Devices Society, vol. 8, pp. 9-14, Nov. 2020.
9. Ching-Sung Lee, Wei-Chou Hsu, **Ying-Ping Huang**, Han-Yin Liu, and Wen-Luh Yang, "Comparative Study on Graded-Barrier Al_xGa_{1-x}N/AlN/GaN/Si Metal-Oxide-Semiconductor Heterostructure Field-Effect Transistor by Using Ultrasonic Spray Pyrolysis Deposition Technique," Semiconductor Science and Technology, vol. 33, no. 6, 065004, Jun. 2018.

指導教授 許渭州 特聘教授

- 現職 · 國立成功大學 / 電資學院院長
- 學歷 · 國立成功大學 / 電機博士
- 經歷 · 國立成功大學 / 電資學院院長 (2015~now)
- 國立成功大學 / 電資學院副院長 (2012~2015)
- 國立成功大學 / 尖端光電中心主任 (2007~now)
- 國立成功大學 / 電機工程學系系主任 (2005~2007)
- 國立成功大學 / 特聘教授 (2002~now)



鄧名揚 Ming-Yang Deng

國立成功大學 電機工程學系

獲獎摘要

鄧名揚同學於 2016 年起於國立成功大學電機工程學系攻讀博士班。研究領域為基於薄膜電晶體之主動式矩陣顯示器系統電路設計，並針對高解析度及 Micro / Mini LED 等議題進行高驅動力及低功耗電路設計。相關成果已發表於TIE (1篇)、TED (2篇)、JEDS (3篇)、JDT (2篇) 等 IEEE 期刊上，並獲得10 項台灣專利。鄧同學於 2019 年學生獲得「科技部補助博士生赴國外研究」，以訪問學者身分前往美國中央佛羅里達大學進行Micro / Mini LED 之相關研究，其成果以共同第一作者身分發表論文於 Light : Science & Applications-Nature (2-year impact factor : 14.240, over 36k accesses and 70 citations)。

得獎經歷

- 2020 年中華民國斐陶斐榮譽會員
- 2019 年潘文淵文教基金會獎學金
- 2019 年獲得「科技部補助博士生赴國外研究」補助十二個月
- 2018 年 SID 論文優秀獎
- 2017 年獲得友達光電第十四屆 A+ 暑期實習 - 第一名
- 2017 年「經濟部技術處搶鮮大賽」創意發想類 - 季軍
- 105 年度「科林科技論文獎」半導體與光電科技獎碩士組 - 優勝

重要學術著作 / 專利

1. **Ming-Yang Deng**, En-Lin Hsiang, Qian Yang, Chia-Ling Tsai, Bo-Shu Chen, Chia-En Wu, Ming-Hsien Lee, Shin-Tson Wu, and Chih-Lung Lin*, "Reducing Power Consumption of Active-Matrix Mini-LED Backlit LCDs by Driving Circuit," IEEE Transactions on Electron Devices
2. Yuge Huang, En-Lin Hsiang, **Ming-Yang Deng**, and Shin-Tson Wu*, "Mini-LED, Micro-LED, and OLED Displays: Present Status and Future Perspectives," Light: Science & Applications, 9.1: 1-16, 2020. These authors contributed equally: Yuge Huang, En-Lin Hsiang, **Ming-Yang Deng**
3. Chih-Lung Lin*, **Ming-Yang Deng**, Wen-Ching Chiu, Li-Wei Shih, Jui-Hung Chang, Yu-Sheng Lin, and Ching-En Lee, "A Pre-Bootstrapping Method for Use in Gate Driver Circuits to Improve the Scan Pulse Delay of High-Resolution TFT-LCD Systems," IEEE Transactions on Industrial Electronics, vol. 67, no. 8, pp. 7015-7024, Aug. 2020.

4. **Ming-Yang Deng**, Wei-Sheng Liao, Sung-Chun Chen, Jui-Hung Chang, Chia-En Wu, and Chih-Lung Lin*, "Low-Leakage Capacitive Coupling Structure for a-Si:H Gate Driver with Less Delay of Clock Signals used in AMLCDs," IEEE Journal of the Electron Devices Society, vol. 8, pp. 302-307, Mar. 2020.
5. Chih-Lung Lin*, Po-Syun Chen, **Ming-Yang Deng**, Chia-En Wu, Wen-Ching Chiu, and Yu-Sheng Lin, "UHD AMOLED Driving Scheme of Compensation Pixel and Gate Driver Circuits Achieving High-Speed Operation," IEEE Journal of the Electron Devices Society, vol. 6, pp. 26-33, Dec. 2017.
6. Chih-Lung Lin*, **Ming-Yang Deng**, Chia-En Wu, Chih-Cheng Hsu, and Chia-Lun Lee, "Hydrogenated Amorphous Silicon Gate Driver with Low-Leakage for Thin-Film Transistor Liquid Crystal Display Applications," IEEE Transactions on Electron Devices, vol. 64, no. 8, pp. 3193-3198, Aug. 2017.
7. Chih-Lung Lin*, **Ming-Yang Deng**, Chia-En Wu, Po-Syun Chen, and Ming-Xun Wang, "Gate Driver Circuit Using Pre-Charge Structure and Time-Division Multiplexing Driving Scheme for Active-Matrix LCDs Integrated with In-Cell Touch Structures," IEEE/OSA Journal of Display Technology, vol. 12, no. 11, pp. 1238-1241, Nov. 2016.
8. 林志隆, **鄧名揚**, 林祐陞, 陳柏澍, 林捷安, 吳佳恩, 李明賢, 彭佳添, "畫素驅動電路" I718909. 2021
9. 林志隆, **鄧名揚**, 林祐陞, 廖威勝, 吳佳恩, 李明賢, 彭佳添, "畫素驅動電路" I712026. 2020
10. 林志隆, **鄧名揚**, 陳柏勳, 賴柏君, 鄭賢薰, "顯示面板" I683296. 2020

指導教授 林志隆 特聘教授

- 現職 · 國立成功大學 / 電機工程學系教授兼系主任
- 學歷 · 國立台灣大學 / 電機工程學系博士
- 經歷 · 國立成功大學 / 電機工程學系系主任 (2020~)
- 中華民國光電學會 (TPS) / 秘書長 (2020~)
- 國立成功大學 / 電機工程學系副系主任 (2017~2020)
- 台灣顯示器產業聯合總會 (TDUA) / 理事 (2017)
- 科技部 / 工程中心企劃組組長 (2014~2016)
- 國立台灣大學 / 電機系助教 (1993/8~1999/7)



戴茂洲 Mao-Chou Tai

國立中山大學 光電工程研究所

獲獎摘要

戴茂洲同學自 2019 年起於國立中山大學光電工程研究所攻讀博士班，博士班期間專注於金屬氧化物半導體場效電晶體 (Metal-Oxide-Semiconductor Field-Effect Transistors) 的可靠度物理機制探討和記憶體 (Memory) 相關應用開發。在釐清各式元件的可靠度議題後，藉由產學合作提出有效的結構或製程改善方法，迄今已獲證 1 項台灣專利與 1 項美國專利 (3 項台美專利申請中)。除此之外，優異的研究成果使其目前以第一作者共發表 7 篇 SCI 國際期刊包含 Advanced Electronics Materials / IEEE Electronic Device Letters / Applied Physics Letters 等國際期刊。

得獎經歷

- 國立中山大學創新育成中心 - 貨櫃創業計畫進駐團隊：『Ocean Crystal』
- 國防工業獎學金
- 日月光集團獎學金

重要學術著作

1. **M.-C. Tai**, Y.-X. Wang, T.-C. Chang*, et. al, "Heterojunction Channels in Oxide Semiconductors for Visible-Blind Nonvolatile Optoelectronic Memories" Advanced Electronic Materials, 6, 11, 2000747, 2020.
2. **M.-C. Tai**, Y.-X. Wang, T.-C. Chang*, et. al, "Gate Dielectric Breakdown in a-InGaZnO Thin Film Transistors with Cu Electrodes" IEEE Electron Device Letters, 42, 6, 851-854, 2021.
3. **M.-C. Tai**, T.-C. Chang*, M.-C. Chen, et. al, "Floating top gate-induced output enhancement of a-InGaZnO thin film transistors under single gate operations," Applied Physics Letters, vol. 113, no. 17, pp. 173501, 2018.
4. **M.-C. Tai**, Y.-C. Tsao, Y.-X. Wang, C.-C. Lin, Y.-L. Tsai, H.-Y. Tu, B.-S. Huang, T.-C. Chang, "Dynamic Switching-Induced Back Carrier Injection in a-InGaZnO Thin Film Transistors," Journal of Physics D: Applied Physics, 54, 2, 025111, 2020.

5. **M.-C. Tai**, P.-W. Chang, T.-C. Chang*, et. al, "Effect of a-InGaZnO TFTs' Channel Thickness under Self-Heating Stress," ECS Journal of Solid State Science and Technology, 8 (10), Q185-Q188 2019.
6. C.C. Lin, **M.-C. Tai** (contributed equally in this work), T.-C. Chang, et. al, "Interface Defect Shielding of Electron Trapping in a-InGaZnO Thin Film Transistors" IEEE Transactions on Electron Devices, 67, 9, 3645-3649, 2020.
7. Y.-X. Wang, **M.-C. Tai** (contributed equally in this work), T.-C. Chang, et. al, "Suppression of Edge Effect Induced by Positive Gate Bias Stress in Low-Temperature Polycrystalline Silicon TFTs with Channel Width Extension Over Source/Drain Regions" IEEE Transactions on Electron Devices, 67, 12, 5552-5556, 2020.
8. T.-C. Chang, Y.-C. Tsao, P.-H. Chen, **M.-C. Tai**, et. al, "Flexible Low-Temperature Polycrystalline Silicon Thin-Film Transistors" Materials Today Advance (5), 100040, 2020. - Review Article
9. Y.-X. Wang, S.-P. Huang, **M.-C. Tai**, et. al, "A Novel Structure Serving as a Stress Relief Layer for Flexible LTPS TFTs" , 2019 IEEE International Electron Device Meetings (IEEE IEDM), San Francisco, CA, USA
10. **M.-C. Tai**, P.-W. Chang, T.-C. Chang, et. al, "Effect of Different a-InGaZnO TFTs' Channel Thickness upon Self-Heating Stress" 2019 Semiconductor Technology for Ultra Large Scale Integrated Circuits and Thin Film Transistors VII, Kyoto, Japan

指導教授 張鼎張 講座教授

- 現職 · 國立中山大學 / 物理系
- 學歷 · 國立交通大學 / 電子所博士
- 經歷 · IEEE Fellow
- 國立中山大學物理系 / 講座教授
- 國家奈米實驗室研究員
- 有庫科技講座



提昇IC封裝良率的絕佳選擇

PVTC-A1

比容量測儀



榮獲台灣、美國發明專利



台灣42152台中市中部科學園區
后里區后科南路26號

Tel / 886-4-25591351

Fax / 886-4-25591362

E-mail / ucan@u-can.com.tw

ucandyna@ms36.hinet.net

Website / www.ucandyna.com



得獎感言

acceptance speech

謝易叡



此刻台灣的半導體面臨承先啟後的轉捩點，行遠自邇，在尊長們胼手胝足、焚膏繼晷、勇往直前的努力奮鬥下，於大洋邊陲一隅資源匱乏的國家從旁觀者到參與者進而成為主導者，這波瀾壯闊氣象萬千的征途，晚輩從小到大耳濡目染卻只是被庇護與受益者。如今更忝為睽得貴會理事長們的肯定榮獲此獎，實為誠惶誠恐受之有愧。更感受到尊長們對於台灣青壯年世代持續投入半導體志業之熱切盼望。半導體早從舊時王謝堂前燕，飛入尋常百姓家，摩爾定律柳暗花明華麗轉身，持續帶領世界追尋著桃花源。在全新的情勢下，台灣新世代的半導體人才更因具備開闊的視野，靈活的思考，和創意的想法，持續突破與推動關鍵技術的發展，為未來台灣經濟的升級與轉型注入新的活力。

吳添立



首先感謝國立陽明交通大學國際半導體產業學院院長張翼教授的支持以及各位專業評審委員的青睞，非常榮幸能夠在今年獲得由台灣半導體產業協會所頒發之新進研究人員獎項。2017年從比利時回台任教至今，強烈感受到台灣半導體產業的蓬勃發展及產官學界對下世代半導體技術研發的衝勁。很高興過去在寬能隙化合物半導體及電子元件可靠度領域的知識能持續傳承給優秀的學子們，並貢獻給台灣相關的企業及學界。寬能隙化合物半導體已成為各國兵家必爭之技術，台灣已有深厚的以矽為主半導體研發基底，這將會是非常有利的優勢在寬能隙化合物半導體上走出自己的路，期許台灣寬能隙化合物半導體相關學界及業界持續茁壯，為世界的科技產業盡一份力，Taiwan can help!

吳俊峰



首先，很感謝台灣半導體產業協會對於本人研究成果的肯定，並願意將此等殊榮頒予本人。我很感謝這一路上給予我很大幫助以及鼓勵的家人與師長。曾經我跟大部分的新生一樣，能力以及履歷平平無奇。能有如今亮眼的發表以及獲獎成果，我想除了自身的努力不懈外，更重要的是因為我當初幸運的選擇了進入郭大維老師的實驗室。在郭大維教授以及張原豪教授的指導下，我的專業知識有著大幅度地精進；並且由於多次出席國際會議的報告以及演講，我的軟實力也明顯提升。此外，也很感謝兩位老師讓我有機會參與產學合作以及帶領學弟妹做研究，讓我的研究不只是紙上談兵，也讓我的領導以及團隊合作能力能更上一層樓。最後，期許自己能在系統領域深耕，並將自己的所學回饋社會，為台灣的系統及半導體發展進一分心力。

陳天玥



感謝指導教授白奇峰老師的推薦及評審委員的青睞，很榮幸能夠獲得由台灣半導體產業協會所頒發之博士研究生半導體獎。這個獎項的頒發對選擇在台灣就讀博士及進行半導體相關研究的學生是非常大的支持及鼓勵。目前我的研究主題專注於尋找可應用於自旋軌道矩式磁性記憶體 (SOT-MRAM) 中之高效能材料系統。磁性記憶體在現今的記憶體產業中，並不是主流及商業化的型式。然而，其具有非揮發、低耗能及高密度的優點，在未來發展環保能源、節能、低功耗的趨勢下，具有極大的發展潛能。獲得半導體獎除了鼓勵自己在自旋電子學的領域繼續努力，也督促自己將來能為半導體產業繼續貢獻。

鄒亞叡



非常榮幸獲得 2021 TSIA 博士研究生半導體獎，感謝台灣半導體產業協會給予的肯定。我如今有豐碩的研究成果，首要歸功於我的指導教授劉致為博士，因為有老師教導我嚴謹的研究方法與邏輯訓練，也極力爭取資源，讓我有機會參加許多國際研討會，與世界各地的與會人員請益，都對研究上有很大的助益。非常感謝孫元成博士、鄧端理博士、謝嘉民博士、李愷信博士對磁阻式記憶體技術的指導，以及台灣半導體研究中心的工程師們的幫助。接著感謝實驗室學長們的教導以及同儕仲恩、嘉哲和學弟桓齊、韋任、邦均的幫忙，有更多的腦力激盪創造無限可能。最後感謝家人與孟津的支持與鼓勵，我才能在博士班的道路上走到今天，期許自己能持續精進，將來為台灣半導體有所貢獻。

蔡仲恩



非常榮幸能獲得 2021 TSIA 博士研究生半導體獎，首先要感謝指導教授劉致為博士，在老師嚴格且有條理的教導下，對於我做研究的邏輯思考與訓練、做事效率的提升皆有很大的幫助，老師也積極爭取各方資源，使學生能夠專注於研究上。此外也要感謝實驗室的學長姐與學弟妹們，除了研究上的討論與激盪，也一起在每天的生活中互相陪伴，實現 teamwork 的意義。感謝身邊的朋友們和給予我建議的所有人，你們提供的意見與資源對我來說十分珍貴，我也從中學習到很多。最後要感謝我的家人，給予我無限的支持與包容，你們的鼓勵是我不斷前進的動力。往後的日子裡，我會繼續為台灣的半導體產業盡一份心力，讓台灣在世界的舞台上發光發熱。

呂紹永



感謝 TSIA 台灣半導體產業協會對我的肯定，讓我有幸能獲得此項殊榮。從碩士到博士班，感謝廖育德教授一路上的細心指導和孜孜不倦的教導，訓練學生對於半導體晶片設計所需的邏輯分析與專業知識，我能獲得此獎教授功不可沒。此外，感謝廖英志、林淑萍教授與其實驗室的學生們提供跨領域的討論與研究協助。感謝 WIML 實驗室所有學長姐所做的貢獻與指導，讓我在就學期間能更精進自己的專業知識。感謝學弟妹們在研究與生活上的互相幫助與扶持，讓我在研究上更加順利更加多采多姿，希望你們能繼續抱持一顆對研究的熱忱繼續攻讀博士班。最後感謝我的父母、太太、朋友給予的極大鼓勵與資源，讓我能無後顧之憂的向前邁進！

acceptance speech

鍾昀晏



在博士班期間榮獲年度之 TSIA 半導體獎是我莫大的榮幸，達成了學業上的一項標竿，感謝評審委員們的肯定。「艱難困苦背後是璀璨光明的未來」，期許自己在未來可以不斷成長並自我挑戰，能有一天將我所學回饋給台灣的半導體產業。在實驗室的日子更是難能可貴的一段回憶，不論是不眠不休的瘋狂實驗或是時間極度緊繃的期刊投稿，與夥伴們一同解決問題與相互笑鬧的日子將會是我這輩子最珍惜的時光，謝謝實驗室的夥伴們。最後，要感謝簡昭欣教授的教誨與亦師亦友的共導鄭兆欽經理，能有如此豐富的研究成果都要歸功於兩位，除了提供良好的研究環境之外，每次的相互討論都讓我受益良多。也要感謝我的家人，讓我可以毫無後顧之憂地追求自己的理想。

王建評



能夠獲得今年 TSIA 半導體獎不但是我個人的榮幸，更是對我們研究團隊的肯定與鼓勵。在此特別對指導教授金雅琴老師與林崇榮老師致上最高的謝意與敬意，感謝教授們在研究過程中的指導與訓練，使學生能在嚴謹的科學精神下，有效推進研究進度。也要特別感謝林本堅院士與台積電諸位長官的指教與建議，使我們能更加精進並切合業界需求。在此也特別感謝關郁倫教授在材料領域的建議，與其實驗室學生的眾多幫助與資源。此外，感謝陳柏熊博士與吳品鈞博士在電子束與 EUV 實驗上的協助與建議。也謝謝微電子實驗室學弟妹在雜事上的幫忙與在研究上的相互討論。最後謝謝我的家人給我的支持，時時提醒我努力至今的緣由。盼我能不負初衷，為半導體領域略盡微薄之力。

薛承昕



「You don't have to be great to start, but you have to start to be great.」是我博士班生涯的感受及體悟。由衷的感謝台灣半導體協會給予我的這次機會獲得 2021 TSIA 博士研究生半導體獎，我必將持續精進研究，為台灣半導體的發展注入新血。感謝國立清華大學電機工程學系對於學生的培養。感謝指導教授張孟凡教授多年來的指導與鼓勵，訓練學生對於半導體晶片設計所需的嚴謹態度、邏輯分析與創新思維。感謝鄭桂忠、謝志成、呂仁碩教授與其學生們提供跨領域研究協助。感謝學弟妹在研究與生活上的互相扶持與包容，使我能夠解決實驗上所遇到的種種困境，讓博士生涯不需孤軍奮戰，希望未來有更多優秀人才投入博士班研究。最後，感謝家人給予的支持與鼓勵，給予我最溫暖的關懷與支持，成為我最堅強的後盾！

黃一平



很榮幸得到 TSIA 半導體榮譽獎項，非常感謝評審們給予我在半導體研究上高度的肯定與鼓勵。在博士班研究期間，我的指導教授許渭州教授給予我許多的指導與建議，也讓我參與許多計畫的撰寫與執行，因而得到不少的磨練與進步。雖然在研究期間，遇到了不少困難與挫折，也多虧許老師的鼓勵，讓我最後都能一一克服與度過，並且得到不錯的成果，真的非常感謝許老師。另外也感謝實驗室的學弟妹，平常除了與我一起互相扶持解決實驗室的各種疑難雜症外，也讓我的研究生活中充滿了樂趣。最後我要特別感謝我的家人，感謝對我的支持與關心，他們一直是我最強力的後盾，讓我在博士班研究期間沒有太多後顧之憂，可以好好投入到研究之中。

鄧名揚



感謝台灣半導體產業協會對於學生研究上的肯定，讓我有這個殊榮獲得博士研究生半導體獎。能有今天的成果，首先得感謝我的指導教授林志隆博士一路上的教導及栽培，並提供豐富的資源使我在學術研究及邏輯思維上更為縝密及創新，在研究成果上能有所突破；感謝成大電機系提供我如此完善及優質的學習環境，讓我可以順利地進行我的研究；感謝 IDBA 實驗室，在學長無私的知識分享以及學弟妹的熱心協助下，讓我在研究的路上更加茁壯；感謝吳詩聰教授、吳師母以及 Photonic & Display 團隊在我美國訪問期間的幫忙及指導，讓我不只有跨領域知識上的增長，並讓處於異鄉的我也感受到溫暖。最後，感謝我的家人，支持我繼續攻讀博士班的選擇，過程中即使忙碌、挫折，家人永遠伴在身邊給予我鼓勵，是我研究所生涯中重要的動力來源，感謝你們。

戴茂洲



很榮幸獲得 2021 TSIA 博士研究生半導體獎，衷心感謝貴會的高度肯定，亦感謝所有公司近年努力塑造的環境，促使更多博士學生投入研究。能有如此成就，得感謝我在研究旅程上遇到的每一位恩人。首先，非常感謝指導教授張鼎張老師的栽培，除了提供極佳的研究環境，更細心地教導我，使我能在研究上擁有如此成果。感謝實驗室所有一起奮鬥的夥伴、優秀學長姐、與努力不懈的學弟妹，因為你們的協助，才能順利完成每一項挑戰，這份殊榮是屬於大家的，你們的努力是我成長的養分。感謝女友給予我鼓勵，使我在每一次低潮都能夠重新振作，妳的陪伴是我前進的動力。最後，謝謝我的家人無條件支持我，讓我毫無後顧之憂地完成博士學位，你們最堅強的後盾是我努力的根源。

2021 年第一季 台灣半導體產業回顧與展望

TSIA；工研院產科國際所 系統 IC 與製程研究部

一、全球半導體市場概況

根據 WSTS 統計，21Q1 全球半導體市場銷售值 1,231 億美元，較上季 (20Q4) 成長 3.6%，較 2020 年同期 (20Q1) 成長 17.8%；銷售量達 2,748 億顆，較上季 (20Q4) 成長 4.9%，較 2020 年同期 (20Q1) 成長 22.7%；ASP 為 0.448 美元，較上季 (20Q4) 衰退 1.2%，較 2020 年同期 (20Q1) 衰退 4.0%。

21Q1 美國半導體市場銷售值達 242 億美元，較上季 (20Q4) 衰退 8.2%，較 2020 年同期 (20Q1) 成長 9.2%；日本半導體市場銷售值達 98 億美元，較上季 (20Q4) 衰退 1.6%，較 2020 年同期 (20Q1) 成長 13.0%；歐洲半導體市場銷售值達 110 億美元，較上季 (20Q4) 成長 8.8%，較 2020 年同期 (20Q1) 成長 8.7%；中國大陸市場 434 億美元，較上季 (20Q4) 成長 8.9%，較 2020 年同期 (20Q1) 成長 25.6%；亞太地區半導體市場銷售值達 348 億美元，較上季 (20Q4) 成長 6.5%，較 2020 年同期 (20Q1) 成長 19.6%。

二、台灣 IC 產業產值概況

工研院產科國際所統計 2021 年第一季 (2021Q1) 台灣整體 IC 產業產值 (含 IC 設計、IC 製造、IC 封裝、IC 測試) 達新臺幣 9,047 億元 (USD\$30.6)，較上季 (2020Q4) 成長 2.6%，較 2020 年同期 (2020Q1) 成長 25.0%。其中 IC 設計業產值為新臺幣 2,602 億元 (USD\$8.8B)，較上季 (2020Q4) 成長 5.3%，較 2020 年同期 (2020Q1) 成長 49.1%；IC 製造業為新臺幣 5,001 億元 (USD\$16.9B)，較上季 (2020Q4) 成長 1.4%，較 2020 年同期 (2020Q1) 成長 19.3%，其中晶圓代工為新臺幣 4,374 億元 (USD\$14.8B)，較上季 (2020Q4) 成長 0.1%，較 2020 年同期 (2020Q1) 成長 15.5%，記憶體與其他製造為新臺幣 627 億元 (USD\$2.1B)，較上季 (2020Q4) 成長 11.4%，較 2020 年同期 (2020Q1) 成長 54.1%；IC 封裝業為新臺幣 984 億元 (USD\$3.3B)，較上季 (2020Q4) 成長 0.4%，較 2020 年同期 (2020Q1) 成長 9.9%；IC 測試業為新臺幣 460 億元 (USD\$1.6B)，較上季 (2020Q4) 成長 5.7%，較 2020 年同期 (2020Q1) 成長 13.6%。新臺幣對美元匯率以 29.6 計算。

工研院產科國際所最新預測，2021 年台灣 IC 產業產值達新臺幣 38,050 億元 (USD\$128.5B)，較 2020 年成長 18.1%。其中 IC 設計業產值為新臺幣 11,133 億元 (USD\$37.6B)，較 2020 年成長 30.5%；IC 製造業為新臺幣 20,898 億元 (USD\$70.6B)，較 2020 年成長 14.8%，其中晶圓代工為新臺幣 18,369 億元 (USD\$62.1B)，較 2020 年成長 12.7%，記憶體與其他製造為新臺幣 2,529 億元 (USD\$8.5B)，較 2020 年成長 32.7%；IC 封裝業為新臺幣 4,119 億元 (USD\$13.9B)，較 2020 年成長 9.1%；IC 測試業為新臺幣 1,900 億元 (USD\$6.4B)，較 2020 年成長 10.8%。新臺幣對美元匯率以 29.6 計算。

2021 年台灣 IC 產業產值統計結果

單位：億新臺幣

	21Q1	季成長	年成長	21Q2 (e)	季成長	年成長	21Q3 (e)	季成長	年成長	21Q4 (e)	季成長	年成長	2021 (e)	年成長
IC 產業產值	9,047	2.6%	25.0%	9,283	2.6%	23.8%	9,824	5.8%	13.3%	9,896	0.7%	12.2%	38,050	18.1%
IC 設計業	2,602	5.3%	49.1%	2,796	7.5%	48.8%	2,955	5.7%	21.4%	2,780	-5.9%	12.6%	11,133	30.5%
IC 製造業	5,001	1.4%	19.3%	5,012	0.2%	17.3%	5,324	6.2%	10.8%	5,561	4.5%	12.8%	20,898	14.8%
晶圓代工	4,374	0.1%	15.5%	4,382	0.2%	14.5%	4,689	7.0%	8.7%	4,924	5.0%	12.7%	18,369	12.7%
記憶體與其他製造	627	11.4%	54.1%	630	0.5%	41.6%	635	0.8%	29.3%	637	0.3%	13.1%	2,529	32.7%
IC 封裝業	984	0.4%	9.9%	1,000	1.6%	9.9%	1,065	6.5%	7.6%	1,070	0.5%	9.2%	4,119	9.1%
IC 測試業	460	5.7%	13.6%	475	3.3%	9.2%	480	1.1%	9.1%	485	1.0%	11.5%	1,900	10.8%
IC 產品產值	3,229	6.5%	50.0%	3,426	6.1%	47.4%	3,590	4.8%	22.7%	3,417	-4.8%	12.7%	13,662	30.9%
全球半導體市場 (億美元) 及成長率 (%)	-	-	-	-	-	-	-	-	-	-	-	-	4,883	10.9%

資料來源：TSIA；工研院產科國際所 (2021/05)

2017 ~ 2021 年台灣 IC 產業產值

單位：億新臺幣

	2017	2017 成長率	2018	2018 成長率	2019	2019 成長率	2020	2020 成長率	2021 (e)	2021 (e) 成長率
IC 產業產值	24,623	0.5%	26,199	6.4%	26,656	1.7%	32,222	20.9%	38,050	18.1%
IC 設計業	6,171	-5.5%	6,413	3.9%	6,928	8.0%	8,529	23.1%	11,133	30.5%
IC 製造業	13,682	2.7%	14,856	8.6%	14,721	-0.9%	18,203	23.7%	20,898	14.8%
晶圓代工	12,061	5.0%	12,851	5.0%	13,125	2.1%	16,297	24.2%	18,369	12.7%
記憶體與其他製造	1,621	-11.8%	2,005	23.7%	1,596	-20.4%	1,906	19.4%	2,529	32.7%
IC 封裝業	3,330	2.8%	3,445	3.5%	3,463	0.5%	3,775	9.0%	4,119	9.1%
IC 測試業	1,440	2.9%	1,485	3.1%	1,544	4.0%	1,715	11.1%	1,900	10.8%
IC 產品產值	7,792	-6.9%	8,418	8.0%	8,524	1.3%	10,435	22.4%	13,662	30.9%
全球半導體市場 (億美元) 及成長率 (%)	4,122	21.6%	4,688	13.7%	4,123	-12.0%	4,404	6.8%	4,883	10.9%

資料來源：TSIA；工研院產科國際所 (2021/05)

說明：

- 註：(e) 表示預估值 (estimate)。
- IC 產業產值 = IC 設計業 + IC 製造業 + IC 封裝業 + IC 測試業。
- IC 產品產值 = IC 設計業 + 記憶體與其他製造。
- IC 製造業產值 = 晶圓代工 + 記憶體與其他製造。
- 2017 年起華亞科 (為美光子公司) 已不列入上述台灣記憶體與其他製造產值計算。
- 上述產值計算是以總部設立在台灣的公司為基準。

COVID-19 疫情關係，為降低群聚風險，台灣半導體產業協會透過工研院產科國際所協助，於 2021 年 05 月 19 日以線上研討會形式辦理 2021 年第一季台灣半導體產業市場趨勢研討會，近 200 位會員公司先進報名參加。TSIA 市場資訊委員會將於 8 月規劃 2021 年第三場次台灣半導體產業市場趨勢線上研討會，歡迎業界人員密切注意本協會網站 www.tsia.org.tw 所公佈之活動訊息。TSIA 秘書處聯絡人：陳昱錡資深經理，電話：03-591-7124，Email：doris@tsia.org.tw。

TSIA 委員會活動摘要

TSIA / 黃佳淑資深經理彙整

一. 生產製造技術委員會

主委：聯華電子 - 龔吉富協理

- 110年4月1日舉行 eMDC 2021 第四次籌備會議 Keynote speaker 邀請回覆與後續邀請計畫、寄送 Call for Papers 文宣、討論辦理模式與合作廠商洽詢進度、贊助廠商回覆狀況與後續邀請計畫、贊助辦法修正、活動經費估算等。
- 110年4月23日舉行 eMDC 2021 第五次籌備會議討論 Keynote speaker 邀請現況與後續邀請計畫、寄送 Call for Papers 文宣、討論辦理模式與合作廠商洽詢進度、贊助廠商回覆狀況與後續邀請計畫、贊助辦法加入不可抗拒因素條款、活動經費估算等。
- 110年6月2日 Steering Committee 評估新型冠狀病毒 (COVID-19) 疫情現況，為避免不需要的感染風險，指示今年 eMDC 2021 停辦。
- 110年6月4日公告停辦 Joint Symposium 2021，並知會合作夥伴與廠商。

二. IC 設計委員會

主委：工研院資通所 - 關志克所長

- 110年4月7日召開 TSIA 消費性電子記憶體介面標準工作小組「JEDEC 會後會會議暨 Workshop」。
- 110年5月11日召開 TSIA 汽電小組工作規劃會議。
- 原定 110年6月18日與工研院資通所、產科國際所合作，假國立陽明交通大學電資大樓共同舉辦「2021 TSIA IC 設計研討會 - 量子電腦的應用機會」，邀請國內外產學研專家擔任講師。因 COVID-19 疫情升溫，延期舉辦。
- IP TF 工作小組支援 WSC / GAMS / JSTC 相關 IP 會議。
- AI 晶片工作小組參與 AITA 活動 (含技術論壇、專題演講、聯盟研發動態等)、協助相關資料與訊息轉發並籌備規劃「Chipllets 搭配先進封裝製程的發展」相關主題研討會。

三. 市場資訊委員會

主委：華邦電子 - 林正恭副總經理

- 110年5月14日發佈 2021 Q1 IC 產業動態調查報告中 / 英文新聞稿。
- 110年5月19日舉辦台灣半導體產業市場趨勢暨專題「線上研討會」。
- 積極參與國際組職 WSTS。

四. 財務委員會

主委：力積電 - 邱垂源處長

- 原定 110年6月24日與資誠聯合會計師事務所 (PwC) 合作，假國立陽明交通大學電資大樓共同舉辦「全球反避稅對半導體產業影響及因應」財務研討會，邀請資誠聯合會計師事務所廖烈龍會計師擔任講師。因 COVID-19 疫情升溫，將延期舉辦。

五. 環保安全衛生委員會

主委：台積電 - 房漢文處長

- 110年3月23日參與 WSC ESH Safety & Healthy 視訊研討會。
- 110年4月12日召開 TSIA 環安委員會「2021年第二次委員會議」，討論半導體排放標準更新、清潔生產指標修訂 (有關耗水費徵收)、能源使用說明書指標更新、SBT 討論、其它。
- 110年4月16日出席台灣綠色生產力基金會召開「碳定價專家諮詢會議 - 國際碳關稅區是因應研商會議」。
- 110年6月2日參與 WSC ESH Committee / JSTC 視訊會議。
- 110年6月5日參與 WSC ESH Committee / JSTC 視訊會議。

六. 產學委員會

主委：台積電 - 王英郎副總經理

- 因應 COVID-19 疫情升溫，原訂 110年 Q2-Q4 校園演講皆延期辦理。
- 因應經濟部需要希了解公協會推動產學情形，執行辦理「產學訓培育合作網絡計劃」合作案。
- 持續辦理「TSIA 產學校園大使」巡迴校園演講。
- 協助臺灣半導體產學研發聯盟 (TIARA) 推動事務。
- 籌備規劃 110年 Q1-Q4 校園演講。

七. 能源委員會

主委：台積電 - 秦永沛資深副總經理

- 110年4月9日出席台電公司、台灣經濟研究院召開「因應再生能源之電價及需量反應改革做法研討會」專家學者產業諮詢會議。
- 110年5月28日出席台灣經濟研究院召開「半導體產業能源效率最佳可行技術規範基準修正建議會議」視訊會議。

八. 半導體獎選委員會

主委：台積電 - 孫元成資深顧問

- 公告 2021 TSIA 半導體獎得獎名單，評選出具博士學位之新進研究人員 2 名；博士研究生 11 名，預計將於 TSIA 年會頒獎並公開表揚。

九. JSTC 委員會

主委：台積電 - 王耀東資深處長

- 參與 WSC / JSTC / GAMS 相關會議。
- 定期召開 JSTC Post Meeting。

新會員介紹

編輯部



天鈺科技股份有限公司
Fitipower Integrated Technology Inc.

公司概況：

天鈺科技 (Fitipower Integrated Technology Inc.) 為一家專業的電源管理與液晶顯示器驅動 IC 晶片設計公司，1995 年創立於台灣新竹科學園區，於 2018 年通過台灣上市申請 (股票代號：4961)，總部設於新竹科學園區，另外在台北內湖、台南、中國深圳、上海、北京、山東煙台及合肥等地皆設有營運據點，外銷業務高達 9 成，核心市場集中於亞洲。

天鈺科技擁有精湛的類比、數位、與混合訊號之研發能力，產品研發涵蓋穿戴、智慧型手機、AMOLED、車用、Micro / Mini LED、筆記型電腦、螢幕及電視等驅動、時序控制與電源管理 IC，也同時提供智能電表整合型電源管理 IC、USB 電源保護 IC 與快速充電識別 IC、網通裝置及手機用鏡頭馬達驅動 IC 的全面解決方案。未來將拓展低耗電 AIoT 與高性能電動車相關晶片產品，並期許成為世界級的 IC 設計公司。

網址：<https://www.fitipower.com>



欣竝科技有限公司
CIN PHOWN TECHNOLOGY CO.,LTD

公司概況：

欣竝成立於1992年於桃園市平鎮區，以自主軟硬電控設計、生產、銷售及售後服務，提供完整自動化設備方案服務於客戶。

研發生產總部於桃園平鎮，第二生產研發廠區於泰國，在中國有昆山與東莞兩個銷售及維修團隊。主要產品方案於半導體 / PCB 視覺檢測、PCB 鑽針再研磨、相關半導體設備代理及提供客製化視覺檢測方案。協助客戶有效節省製程人力、提升生產價值及效率、累積生產大數據利於生產管理是欣竝服務的核心價值。

網址：<http://www.cin-phown.com.tw/TW/>



韶陽科技股份有限公司
MACTECH CORPORATION

公司概況：

韶陽科技成立於 2000 年，緊鄰中部科技廠聚落發源地潭子地區，近 20 幾年來公司致力成為專業高科技設備服務廠為宗旨。

設備服務領域涵蓋自動化系統與設備、GBA & QFP 載板乾式超音波清潔機、紫外線記憶抹除機、G6 Slit Coater、G6 VCD、FPD、LED、OLED 以及鋰電池生產設備。近年來更積極推廣深耕已久半導體設備關鍵零組件如 DUC 乾式超音波除塵設備、Eraser UV Lamp、半導體光阻固化設備、靜電消除器、及晶圓真空陶瓷吸盤等產品、持續創新商業模式服務半導體產業需求。

網址：www.mactech.com.tw



Growth
from
Knowledge

捷孚凱行銷研究顧問有限公司
GfK Retail and Technology Taiwan

公司概況：

GfK 作為一家全球領先的市場研究諮詢公司，擁有超過85年的歷史。我們秉持「知識驅動成長」(Growth from Knowledge) 的核心價值，憑借可靠的數據和洞察以及先進的人工智慧應用，解決客戶在消費者、市場、品牌等方面的關鍵業務決策問題，助力企業提高營銷、銷售和組織效率。

GfK 具有全球最大最詳盡的終端銷售 POS 資料庫，追蹤監測超過 1.8 億款技術和耐用型消費品。GfK SIMA (Supply Chain & Industry Market) 為 3C 及家電產品，包含電視、智慧型手機、筆記型電腦、穿戴式裝置等行業提供細緻且全面的需求端、供應鏈分析，協助晶圓代工、IC 設計、面板業、封測等領域之國際及台灣半導體指標型廠商進行生產計畫，新市場評估，競爭對手分析等等研究任務。

網址：<https://www.gfk.com/home>



聯創半導體有限公司
FRC Union Ltd.

公司概況：

聯創半導體 (FRC) 為韓國 Daewon 大元集團投資之外資企業，於 2017 年 12 月台灣廠區落成。大元集團自 1975 年成立，產品從 IC Shipping Tubes、IC Injection Molded Media 到 JEDEC IC tray、Wafer Media，伴隨半導體產業技術演進成長，並自 1991 年起成為世界領導品牌。集團主要合作夥伴為 Intel、Samsung、TSMC、AMD、ASE、Amkor、Micron、SK Hynix、TI、ST、NXP...等國際大廠，總計全球夥伴約 250 家半導體廠，在台灣成立聯創後，強化台灣半導體產業的連結，更迅速、精準地服務策略夥伴，未來更將整合集團資源，設立世界各地營業據點，跟隨全世界半導體產業發展逐步加深世界各地策略夥伴的合作關係。

網址：<https://www.daewonpic.com/>

啟動TSIA 產學委員會產學基金募集

本案開收據，可以抵稅，敬邀有志之士共同參與！

TSIA 理監事會於 2013 年 6 月成立產學委員會，宗旨為協助會員善用學術界資源，以提升半導體產業的研發力與競爭力，促進產業與學界之互動交流，培養學生早期瞭解並參與半導體產業，促成青年才子以半導體產業為其終身事業。

今年計畫持續展開，產學委員會相關計畫執行所需費用需要您的支持，我們邀請所有會員公司共同參與及支持 TSIA 產學委員會產學基金募集，更歡迎個人捐款，共襄盛舉，以利後續工作之推動。

產學委員會目前正在積極進行的工作計劃有：

- 一、辦理 CEOs 大專院校校園巡迴演講。
- 二、規劃執行產業公會產學訓培育合作網路計畫。
- 三、協辦臺灣半導體產學研發聯盟桂冠計畫 (TIARA)。
- 四、產學基金籌措：目的為支付產學合作運用過程中之必要行政費用，如會議費、專案執行費用、贊助支援 TSIA 半導體獎不足款項及未來陸續新增的產學合作計畫等。

產學基金為專款專用，保管單位為 TSIA 秘書處。敬請填寫下列回函並回傳至 TSIA 秘書處聯絡，我們會儘快與您聯絡繳款事項，謝謝。

本案聯絡人：台灣半導體產業協會 吳素敏 協理

Tel : 03-591-3477 Fax : 03-582-0056 E-mail : julie@tsia.org.tw

公司名稱 / 個人姓名：_____

聯絡人 / 職稱：_____ 電話：_____

E-mail：_____ 傳真：_____

金額：NT\$ _____ (公司/單位 NT\$25,000起，個人無金額限制)

2021 IC DESIGN 聯誼會籌辦及贊助方案

- 2015** 第一場：9月10日 IC設計之友聯誼會 | IDA Ireland 愛爾蘭投資發展局贊助
第二場：12月3日 IC設計之友歲末聯誼晚宴 | 絡達科技贊助
- 2016** 第一場：7月21日 IC設計之友聯誼會 | 台灣新思科技贊助
第二場：11月30日 IC設計之友聯誼會 | Cadence 益華電腦贊助
- 2017** 第一場：7月13日 IC設計之友聯誼會 | KPMG 安侯建業贊助
第二場：12月21日 IC設計之友歲末聯誼晚宴 | 台灣新思科技贊助
- 2018** 12月12日 IC設計之友歲末聯誼晚宴 | 經濟部 5G 辦公室主講
- 2019** 5月28日 IC設計之友夏季聯誼晚宴 | Cadence 益華電腦贊助
- 2020** 第一場：1月3日 IC設計之友正月聯誼晚宴 | 瑞士銀行協辦

尋求 2021 場次聯誼活動贊助廠商，請提供公司Logo，活動贊助廠商將有專題演講機會、蒞會致詞、宴會免費名額等，專題以業界有興趣之主題為主，可偏軟性題目。

方式：講座、品酒、Golf、Music、Art Exhibition...

贊助級次	單位(新台幣)	權益			名額限制	
鑽石	伍萬元	CEO 蒞會致詞	專題	宴會免費名額5名 (可邀請客戶)	文宣放置贊助商 logo	獨家



歡迎有興趣或有其他贊助方案之廠商與 TSIA 聯繫

Doris Chen | Senior Manager

Tel : 03-5917124 | E-mail : doris@tsia.org.tw

TSIA 入會申請資格及辦法



歡迎申請加入TSIA台灣半導體產業協會，請至TSIA網站 www.tsia.org.tw 會員專區了解入會辦法，並可於網站直接填寫入會申請，您也可以致電 03-591-7124，我們將儘速與您聯絡！

會員	
團體會員	凡總公司設於中華民國之半導體產業相關機構（研發、設計、製造、構裝、測試、設備、材料及其他與半導體相關廠商），並在台灣設立登記者，填具入會申請書，經理事會審核通過，並繳納會費後，成為會員，並依據所繳常年會費數額推派代表二至三十人行使會員權益。
國際會員	凡總公司設於中華民國境外之半導體產業相關機構（研發、設計、製造、構裝、測試、設備、材料及其他與半導體相關廠商），在台灣設立分公司、辦事處或研發中心，填具入會申請書，經理事會審核通過，並繳納會費後，成為會員。
贊助會員	捐助本會之個人或非半導體相關團體，經本會理事會通過後，得為贊助會員。
榮譽會員	由理事會推薦頒贈。

會費																									
入會費	會員（榮譽會員除外）於本會時，應一次繳納入會費新台幣1萬元整。																								
常年會費	<table border="1"> <thead> <tr> <th>資本額(新台幣/元)</th> <th>常年會費/年</th> <th>得派代表人數</th> </tr> </thead> <tbody> <tr> <td>二億以下</td> <td>2萬元</td> <td>2人</td> </tr> <tr> <td>二億(含)~四億</td> <td>4萬元</td> <td>3人</td> </tr> <tr> <td>四億(含)~十億</td> <td>6萬元</td> <td>4人</td> </tr> <tr> <td>十億(含)~三十億</td> <td>12萬元</td> <td>6人</td> </tr> <tr> <td>三十億(含)~一百億</td> <td>18萬元</td> <td>8人</td> </tr> <tr> <td>一百億(含)~五百億</td> <td>32萬元</td> <td>12人</td> </tr> <tr> <td>五百億(含)以上</td> <td>90萬元</td> <td>30人</td> </tr> </tbody> </table>	資本額(新台幣/元)	常年會費/年	得派代表人數	二億以下	2萬元	2人	二億(含)~四億	4萬元	3人	四億(含)~十億	6萬元	4人	十億(含)~三十億	12萬元	6人	三十億(含)~一百億	18萬元	8人	一百億(含)~五百億	32萬元	12人	五百億(含)以上	90萬元	30人
	資本額(新台幣/元)	常年會費/年	得派代表人數																						
二億以下	2萬元	2人																							
二億(含)~四億	4萬元	3人																							
四億(含)~十億	6萬元	4人																							
十億(含)~三十億	12萬元	6人																							
三十億(含)~一百億	18萬元	8人																							
一百億(含)~五百億	32萬元	12人																							
五百億(含)以上	90萬元	30人																							
國際會員	<table border="1"> <thead> <tr> <th>級數</th> <th>定義(根據加入會員時之前一年度排名)</th> <th>常年會費/年(新台幣/元)</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>全球前二十大半導體公司</td> <td>60萬元</td> </tr> <tr> <td>B</td> <td>全球前二十大IC公司及各國/地區十大半導體相關公司，非屬於全球前二十大者</td> <td>15萬元</td> </tr> <tr> <td>C</td> <td>其他</td> <td>5萬元</td> </tr> </tbody> </table>	級數	定義(根據加入會員時之前一年度排名)	常年會費/年(新台幣/元)	A	全球前二十大半導體公司	60萬元	B	全球前二十大IC公司及各國/地區十大半導體相關公司，非屬於全球前二十大者	15萬元	C	其他	5萬元												
級數	定義(根據加入會員時之前一年度排名)	常年會費/年(新台幣/元)																							
A	全球前二十大半導體公司	60萬元																							
B	全球前二十大IC公司及各國/地區十大半導體相關公司，非屬於全球前二十大者	15萬元																							
C	其他	5萬元																							
贊助會員	每年新台幣2萬元整。																								

如果您不是 WSTS 會員
又需要參考 WSTS Data
請看這裡!!!

為加強服務台灣及周邊部分亞太區非 WSTS 會員，TSIA 與 WSTS 簽署 Distribution License Agreement，代為銷售 WSTS 統計資料給無 End Product & foundry 之非 WSTS 會員。

TSIA 亞太代理銷售地區

台灣、香港、中國大陸、馬來西亞、印尼、菲律賓

WSTS 出版品包括

- (1) **藍皮書 (Blue Book)**，每月出版：將全球半導體出貨地區分為四大區（美國、歐洲、日本、亞太），並各自統計各區的銷售金額及銷售數量（中國大陸資料 2014 年自亞太區切割出來）
 - (2) **綠皮書 (Green Book)**，每月出版：涵蓋自 2000 年以來藍皮書的 467 張表格
 - (3) **預測報告 (Forecast Report)**，每半年出版：依當前需求，每半年發布隨後三個年度的預測報告
 - (4) **年度報告 (End User Report)**，每年出版：將半導體出貨依區域、18 項目、分成 6 個最終應用
- ※ 年度費用：

New Subscriber		Renewal	
TSIA member	Non-Member	TSIA member	Non-Member
USD 2,500/per year	USD 4,660/per year	USD 2,160/per year	USD 4,320/per year
NTD 78,000/per year	NTD 145,000/per year	NTD 67,000/per year	NTD 134,000/per year

※ 意者請洽協會陳昱綺資深經理 doris@tsia.org.tw，或上網查詢 wsts.tsia.org.tw

世界半導體貿易統計協會 (World Semiconductor Trade Statistics；簡稱 WSTS) 已有超過 40 年歷史，1975 年由美國半導體協會 (SIA) 創立，當年即有美國十大半導體廠商加入；1981、1984、1992、1995 年分別有歐洲、日本、韓國、台灣主要半導體廠商先後加入，並由各地區的半導體協會協助會員業務聯絡及新會員招募，如台灣區即由台灣半導體產業協會 (TSIA) 協助。至 2002 年 WSTS 的會員統計資料顯示，已含全球半導體 90% 的產出，據使用過此資料的會員表示，全球各分析機構的報告，以 WSTS 統計的歷史資料，最為準確，對未來市場產品的分析，最具參考性。

WSTS 目前已有全球近 50 家半導體廠商加入，依地理及產能分佈，全球分為美國區（含 Altera、Micron、TI、Xilinx...）、歐洲區（含 Infineon、NXP、STMicroelectronics...）、日本區（含 TOSHIBA、MATSUSHITA、SONY...）、亞太區以韓國、台灣為主（含 Macronix、Nuvoton、Samsung、SK Hynix...）等四大區。會員每月需按 WSTS 所規範的產品、產業及地理區域格式，填寫實際出貨數字，並依此每月出版藍皮書 (Blue Book)、綠皮書 (Green Book)；WSTS 每半年在全球四大區域輪流召開半年會，於會中檢討 WSTS 格式以因應外界變化而隨時修正，並由會員輪流作各區域的總體經濟分析，產品及產業應用分析，會議中，各半導體公司代表針對不同的產品線，發表並交換對未來預測的看法。經過熱烈討論，達成共同的數字預測後，再對外界發表。WSTS 預測報告 (Forecast Report) 對公司之產業預測具參考價值。另依據以上資料彙整出版年度報告 (End User Report)，亦深具參考價值，歡迎訂購。

TSIA 2021 半導體獎募款

鼓勵年輕學子投入半導體產業前瞻研究，需要您的支持與參與！

歡迎公司或個人贊助本計畫，本案開立收據，可以抵稅。讓我們共同為產業長遠發展及培養下一代盡一分心力。

TSIA 理監事會於 2013 年 6 月成立產學委員會，宗旨為協助會員善用學術界資源，以提升半導體產業的研發力與競爭力，促進產業與學界之互動交流，培養學生早期瞭解並參與半導體產業，促成青年才子以半導體產業為其終身事業。

為了鼓勵青年學子從事半導體研發，自 2013 年起設立「TSIA 博士研究生半導體獎」及「TSIA 博士後研究員半導體獎」，並於 2014 年首次頒發，今年將邁入第七屆，由本會遴選委員會全體委員，秉著公平嚴謹的原則，進行評審作業。為更符合獎項定義，自 2016 年起更名為「TSIA 半導體獎：具博士學位之新進研究人員」及「TSIA 半導體獎：博士研究生」，2020 TSIA 半導體獎：具博士學位之新進研究人員，由台灣大學白奇峰助理教授獲獎；博士研究生分別由台大、交大、成大、清大、中山等五校 11 位同學獲獎，得獎人獲頒贈獎狀及新台幣 8 萬元，以資鼓勵。

限於經費，目前本獎項僅開放台大、交大、成大、清大、中央、中興、中正、中山、北科大、台科大等十校博士生以上申請，然為鼓勵更多有志於半導體前瞻研發的傑出年輕人參與，期許未來有能量擴大範圍，2022 年起，將新增「高科大」，懇請公司團體或個人贊助本計畫，所募款項將用以支付獎金及運作相關行政費用。TSIA 半導體獎款項為專款專用，保管單位為 TSIA 秘書處。

關於 TSIA 半導體獎捐款、得獎人公告及新聞，歡迎上網 www.tsia.org.tw 或請聯繫協會秘書處：吳素敏協理，電話：03-591-3477，Email：julie@tsia.org.tw。



▲ 劉德音理事長親自頒獎與全體得獎人大合影

2021 TSIA 半導體獎已於 2020 年 10 月中旬啟動，獎金將由第十二屆第七次理監事聯席會議中決議，由全體理監事分攤並由產學基金補不足處。歡迎會員公司或個人支持、贊助，共襄盛舉。